



PATENT
81790.0309

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Noboru SHIBATA, et al.

Serial No: 10/764,828

Filed: January 26, 2004

For: SEMICONDUCTOR MEMORY
DEVICE FOR STORING
MULTIVALUED DATA

Art Unit: Not assigned

Examiner: Not assigned

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to:

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450, on

February 25, 2004

Date of Deposit

Rebecca L. Golden

Name

February 25, 2004

Signature

Date

TRANSMITTAL OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 2003-402161 which was filed December 1, 2003, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

By:

Anthony J. Orler

Registration No. 41,232

Attorney for Applicant(s)

Date: February 25, 2004

500 South Grand Avenue, Suite 1900
Los Angeles, California 90071
Telephone: 213-337-6700
Facsimile: 213-337-6701

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 2 月 1 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 4 0 2 1 6 1
Application Number:

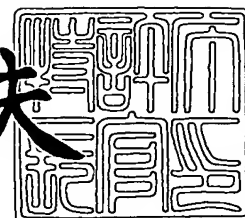
[ST. 10/C] : [J P 2 0 0 3 - 4 0 2 1 6 1]

出 願 人 株 式 会 社 東 芝
Applicant(s):

2 0 0 4 年 2 月 1 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願
【整理番号】 A000305554
【提出日】 平成15年12月 1日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 29/78
【発明者】
 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエ
 レクトロニクスセンター内
 【氏名】 柴田 昇
【発明者】
 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエ
 レクトロニクスセンター内
 【氏名】 田中 智晴
【特許出願人】
 【識別番号】 000003078
 【氏名又は名称】 株式会社 東芝
【代理人】
 【識別番号】 100058479
 【弁理士】
 【氏名又は名称】 鈴江 武彦
 【電話番号】 03-3502-3181
【選任した代理人】
 【識別番号】 100091351
 【弁理士】
 【氏名又は名称】 河野 哲
【選任した代理人】
 【識別番号】 100088683
 【弁理士】
 【氏名又は名称】 中村 誠
【選任した代理人】
 【識別番号】 100108855
 【弁理士】
 【氏名又は名称】 蔵田 昌俊
【選任した代理人】
 【識別番号】 100084618
 【弁理士】
 【氏名又は名称】 村松 貞男
【選任した代理人】
 【識別番号】 100092196
 【弁理士】
 【氏名又は名称】 橋本 良郎
【先の出願に基づく優先権主張】
 【出願番号】 特願2002-347797
 【出願日】 平成14年11月29日
【手数料の表示】
 【予納台帳番号】 011567
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1

【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9705037

【書類名】 特許請求の範囲**【請求項 1】**

n 値 (n は 2 以上の自然数) を記憶する複数のメモリセルがマトリックス状に配置されて構成されたメモリセルアレイと、

前記メモリセルアレイの j 値 ($j < n$) のデータが記憶されている第 1 メモリセルに、次の少なくとも 1 値のデータを記憶する前に、前記第 1 メモリセルに隣接する少なくとも 1 つのメモリセルに j 値以下のデータを書き込む書き込み回路と

を具備することを特徴とする半導体記憶装置。

【請求項 2】

n 値 (n は 2 以上の自然数) のデータを記憶し、マトリックス状に配置された少なくとも 1 つの第 1 メモリセルと、前記第 1 メモリセルと同時に選択される少なくとも 1 つの第 2 メモリセルとを有するメモリセルアレイと、

前記メモリセルアレイの j 値 ($j < n$) のデータが記憶されている前記第 1 メモリセルに、次の少なくとも 1 値のデータの書き込む時、前記第 2 メモリセルの論理レベルを第 1 の論理レベルから第 2 の論理レベルに変えるデータを書き込む書き込み回路と

を具備することを特徴とする半導体記憶装置。

【請求項 3】

k (k は 2 以上の自然数) ビットのデータを記憶し、マトリックス状に配置された少なくとも 1 つの第 1 メモリセルと、前記第 1 メモリセルと同時に選択される少なくとも 1 つの第 2 メモリセルとを有するメモリセルアレイと、

前記メモリセルアレイの i ビット ($i < k$) のデータが記憶されている前記第 1 メモリセルに、次の少なくとも 1 ビットのデータの書き込む時、前記第 2 メモリセルの論理レベルを第 1 の論理レベルから第 2 の論理レベルに変えるデータを書き込む書き込み回路と

を具備することを特徴とする半導体記憶装置。

【請求項 4】

k (k は 2 以上の自然数) ビットを記憶するメモリセルと、

外部から入力されるデータを記憶する第 1 の記憶回路と、

前記メモリセルより読み出されるデータ、又は、外部から入力されるデータを記憶する第 2 の記憶回路と、

書き込み動作時、前記メモリセルが記憶しているデータに応じて、前記第 1 の記憶回路のデータを保持又は変更し、前記第 2 の記憶回路のデータを保持又は変更し、書き込み動作の途中で、前記第 1 の記憶回路に記憶されているデータが書き込み動作に不要となった場合、前記第 1 の記憶回路に次の書き込みデータを外部より入力させる制御回路と

を具備すること特徴とする半導体記憶装置。

【請求項 5】

マトリックス状に配置された k ビット (k は 2 以上の自然数) を記憶する少なくとも 1 つの第 1 メモリセルと、前記第 1 メモリセルと同時に選択される少なくとも 1 つの第 2 メモリセルとを有するメモリセルアレイと、

前記メモリセルアレイの i ビット ($i < k$) のデータが記憶されている第 1 メモリセルに、次の少なくとも 1 ビットのデータを記憶する前に、前記第 1 メモリセルに隣接する少なくとも 1 つのメモリセルに i ビット以下のデータを書き込み、前記第 1 メモリセルに 1 ビットのデータを書き込むとき、前記第 2 メモリセルにデータを書き込む書き込み回路と

前記第 1 メモリセルから読み出したデータを出力する時、前記第 2 メモリセルに記憶されたデータに応じて、出力するデータの論理レベルを制御する読み出し回路と

を具備することを特徴とする半導体記憶装置。

【請求項 6】

複数の閾値電圧により複数のデータを記憶するメモリセルと、

前記ビット線に接続され、外部から供給されるデータ及び前記メモリセルから読み出されたデータに応じて、第 1 又は第 2 論理レベルのデータを記憶する第 1 データ記憶回路及

び第2データ記憶回路を有し、

前記第1データ記憶回路のデータが第1論理レベルの場合、メモリセルの閾値電圧を変化させる第1の書き込み動作を行ない、

前記第1データ記憶回路のデータが第2論理レベルの場合で、前記第2データ記憶回路のデータが第1の論理レベルである場合、閾値電圧を変化させる第2の書き込み動作を行ない、

前記第1データ記憶回路のデータが第2論理レベルの場合で、前記第2データ記憶回路のデータが第2の論理レベルである場合、閾値電圧を変化させず、

第1のベリファイ動作において、

前記第1データ記憶回路のデータが第1論理レベルであり、前記第2データ記憶回路のデータが第1論理レベルであり、前記メモリセルの閾値電圧が第1のベリファイ電位に達している場合、前記第1データ記憶回路のデータを第2論理レベルに変化させ、前記メモリセルの閾値電圧が前記第1のベリファイ電位に達していない場合、前記第1データ記憶回路のデータを変化させず、

前記第1データ記憶回路のデータが第1論理レベルであり、前記第2データ記憶回路のデータが第2論理レベルの場合、前記第1データ記憶回路のデータを変化させず、前記第1データ記憶回路のデータが第2論理レベルである場合、前記第1データ記憶回路のデータを変化させず第2論理レベルに保持し、

第2のベリファイ動作において、

前記第2データ記憶回路のデータが第1論理レベルであり、前記メモリセルの閾値電圧が第2のベリファイ電位の閾値電圧に達している場合、前記第2データ記憶回路のデータを第2論理レベルに変化させ、前記メモリセルの閾値電圧が前記第2のベリファイ電位に達していない場合、前記第2データ記憶回路のデータは第1論理レベルのまま変化させず、

前記第1データ記憶回路のデータが第2論理レベルになり、前記第2データ記憶回路のデータが第2の論理レベルになるまで書き込み動作を行なうことを特徴とする半導体記憶装置。

【請求項7】

n値（nは1以上の自然数）の閾値電圧により複数のデータを記憶するメモリセルと、

少なくとも前記メモリセルから読み出された第1又は第2の論理レベルのデータを記憶する第1のデータ記憶回路と、

データ線に接続され、少なくとも前記データ線から供給された第1又は第2の論理レベルのデータを記憶する第2のデータ記憶回路と、

少なくとも前記メモリセルから読み出されたデータ又は前記第1のデータ記憶回路から供給された第1又は第2の論理レベルのデータを記憶する第3のデータ記憶回路と、

前記第1、第2、第3のデータ記憶回路のデータを操作する制御回路とを具備し、

前記制御回路は、前記第1のデータ記憶回路の論理レベルが、第2の論理レベルの場合、前記メモリセルの閾値電圧を変化させず、前記第1のデータ記憶回路の論理レベルが、第1の論理レベルの場合であり、前記第3のデータ記憶回路の論理レベルが第1の論理レベルの場合、前記メモリセルの閾値電圧を上げる第1の書き込み動作を行ない、前記第3のデータ記憶回路の論理レベルが第2の論理レベルの場合、前記メモリセルの閾値電圧を上げる第2の書き込み動作を行ない、

前記制御回路は、第1のベリファイ動作時、前記第2のデータ記憶回路の論理レベルが、第1の論理レベルの場合、前記メモリセルをプリチャージせず、第2のデータ記憶回路の論理レベルが、第2の論理レベルの場合、前記メモリセルをプリチャージする、

前記制御回路は、前記メモリセルの閾値電圧が第1のベリファイ電圧を超えている場合、前記第3のデータ記憶回路の論理レベルを第2の論理レベルに設定し、前記メモリセルの閾値電圧が第1のベリファイ電圧を超えていない場合、前記第3のデータ記憶回路の論理レベルを変化させず、前記メモリセルの閾値電圧が前記第1のベリファイ電圧より高い第2のベリファイ電圧を超えている場合、前記第1のデータ記憶回路の論理レベルを第2

の論理レベルに設定し、前記メモリセルの閾値電圧が第2のベリファイ電圧を超えていない場合、第1のデータ記憶回路の論理レベルを変化させず、

前記制御回路は、第2のベリファイ動作時、前記第3のデータ記憶回路の論理レベルが、前記第1の論理レベルの場合、前記メモリセルをプリチャージせず、前記第2のデータ記憶回路の論理レベルが、前記第2の論理レベルの場合、前記メモリセルをプリチャージし、

前記制御回路は、前記メモリセルの閾値電圧が前記第2のベリファイ電圧より高い第3のベリファイ電圧を超えている場合、前記第1のデータ記憶回路の論理レベルを第2の論理レベルに設定し、前記メモリセルの閾値電圧が前記第3のベリファイ電圧を超えていない場合、前記第1のデータ記憶回路の論理レベルを変化させず、

前記制御回路は、第3のベリファイ動作時、前記メモリセルの閾値電圧が前記第3のベリファイ電圧より高い第4のベリファイ電圧を超えている場合、前記第1のデータ記憶回路の論理レベルを前記第2の論理レベルに設定し、前記メモリセルが前記第4のベリファイ電圧を超えていない場合、第1のデータ記憶回路の論理レベルを変化させず、前記第1のデータ記憶回路の論理レベルが前記第2の論理レベルになるまで、前記第1、第2の書き込み動作及びベリファイ動作を繰り返す

ことを特徴とする半導体記憶装置。

【請求項8】

n 値（n は1以上の自然数）の閾値電圧により複数のデータを記憶するメモリセルと、

少なくとも前記メモリセルから読み出された第1又は第2の論理レベルのデータを記憶する第1のデータ記憶回路と、

データ線に接続され、少なくとも前記データ線から供給された第1又は第2の論理レベルのデータを記憶する第2のデータ記憶回路と、

少なくとも前記メモリセルから読み出されたデータ又は前記第1のデータ記憶回路から供給された第1又は第2の論理レベルのデータを記憶する第3のデータ記憶回路と、

前記第1、第2、第3のデータ記憶回路のデータを操作する制御回路とを具備し、

前記制御回路は、前記メモリセルに第1ページのデータを書き込んだ後、前記第2のデータ記憶回路にデータ線から第2ページのデータを記憶させ、前記メモリセルから読み出した前記第1ページのデータを前記第1のデータ記憶回路に記憶させ、第1、第2、第3のデータ記憶回路のデータを操作し、メモリセルにデータを“2”を書き込んでいる場合と、メモリセルにデータを“1”を書き込んでいて第1のベリファイ電圧を超えている場合、前記第3のデータ記憶回路に前記第2の論理レベルを設定し、これ以外の場合前記第3のデータ記憶回路に前記第1の論理レベルを設定する

ことを特徴とする半導体記憶装置。

【請求項9】

n 値（n は1以上の自然数）の閾値電圧により複数のデータを記憶するメモリセルと、

少なくとも前記メモリセルから読み出された第1又は第2の論理レベルのデータを記憶する第1のデータ記憶回路と、

データ線に接続され、少なくとも前記データ線から供給された第1又は第2の論理レベルのデータを記憶する第2のデータ記憶回路と、

少なくとも前記メモリセルから読み出されたデータ又は前記第1のデータ記憶回路から供給された第1又は第2の論理レベルのデータを記憶する第3のデータ記憶回路と、

前記第1、第2、第3のデータ記憶回路のデータを操作する制御回路とを具備し、

前記制御回路は、前記データ線から供給された第1ページのデータを前記第2のデータ記憶回路に記憶させ、前記第2のデータ記憶回路に記憶された前記第1ページのデータを前記第1のデータ記憶回路に転送し、前記データ線から供給された第2ページのデータを前記第2のデータ記憶回路に記憶させ、前記第1のデータ記憶回路に記憶された第1ページのデータと前記第2のデータ記憶回路に記憶された第2ページのデータより、書き込みデータを設定し、前記書き込みデータに基づき前記メモリセルに前記第1ページのデータと前記第2ページのデータを同時に書き込む

ことを特徴とする半導体記憶装置。

【請求項 10】

各々が少なくとも第1、第2、第3、第4の閾値電圧のうちの1つを持つことができ、2ビットのデータを記憶することが可能な複数のメモリセルと、

前記複数のメモリセルの閾値電圧を制御してデータを書き込む書き込み回路、

前記書き込み回路は、

書き込むべきデータに応じて、第1のメモリセルの閾値電圧を、前記第1の閾値電圧に維持する、あるいは、前記第1の閾値電圧から前記第3の閾値電圧に変える第1のステップと、

書き込むべきデータに応じて、第2のメモリセルの閾値電圧を、前記第1の閾値電圧に維持する、あるいは、前記第1の閾値電圧から前記第3の閾値電圧に変える第2のステップと、

前記第1のメモリセルの閾値電圧が前記第1の閾値電圧である場合、書き込むべきデータに応じて、前記第1のメモリセルの閾値電圧を、前記第1の閾値電圧に維持する、あるいは、前記第1の閾値電圧から前記第2の閾値電圧に変える、前記第1のメモリセルの閾値電圧が前記第3の閾値電圧である場合、書き込むべきデータに応じて、前記第1のメモリセルの閾値電圧を、前記第3の閾値電圧に維持する、あるいは、前記第3の閾値電圧から前記第4の閾値電圧に変える第3のステップとを含み、

前記書き込み回路は、前記第3のステップにより、前記第1のメモリセルの閾値電圧を前記第3の閾値電圧に維持する場合において、前記第1のメモリセルの閾値電圧が所定の閾値電圧に達していない場合、前記第1のメモリセルの閾値電圧を変化させる

ことを特徴とする半導体記憶装置。

【請求項 11】

前記書き込み回路は、前記第2のメモリセルの閾値電圧が前記第1の閾値電圧である場合、書き込むべきデータに応じて、前記第2のメモリセルの閾値電圧を、前記第1の閾値電圧に維持する、あるいは、前記第1の閾値電圧から前記第2の閾値電圧に変える、前記第2のメモリセルの閾値電圧が前記第3の閾値電圧である場合、書き込むべきデータに応じて、前記第2のメモリセルの閾値電圧を、前記第3の閾値電圧に維持する、あるいは、前記第3の閾値電圧から前記第4の閾値電圧に変える第4のステップをさらに具備することを特徴とする請求項10記載の半導体記憶装置。

【請求項 12】

前記書き込み回路は、前記第4のステップにおいて前記第3の閾値電圧に維持する場合で、前記第2のメモリセルの閾値電圧が所定の閾値電圧に達していない場合、前記第2のメモリセルの閾値電圧を変化させることを特徴とする請求項11記載の半導体記憶装置。

【請求項 13】

前記第1のメモリセルと前記第2のメモリセルは隣接して配置されていることを特徴とする請求項10記載の半導体記憶装置。

【請求項 14】

前記第1のメモリセルと前記第2のメモリセルは共通のワード線に接続され、かつ隣接して配置されていることを特徴とする請求項10記載の半導体記憶装置。

【請求項 15】

前記第1のメモリセルと前記第2のメモリセルは共通のビット線に接続され、かつ隣接して配置されていることを特徴とする請求項10記載の半導体記憶装置。

【請求項 16】

前記第3の閾値電圧の値の定義は、前記第3のステップの前後で異なることを特徴とする請求項10記載の半導体記憶装置。

【請求項 17】

前記第3の閾値電圧の値を制御するため、前記第3のステップが行われたか否かを示すデータを記憶する第3のメモリセルさらに具備することを特徴とする請求項16記載の半導体記憶装置。

【請求項 18】

各々が少なくとも第1、第2、第3、第4の閾値電圧のうちの1つを持つことができ、2ビットのデータを記憶することが可能な複数のメモリセルと、

前記複数のメモリセルの閾値電圧を制御してデータを書き込む書き込み回路とを具備し

、
前記書き込み回路は、

書き込むべきデータに応じて第1のメモリセルの閾値電圧を、前記第1の閾値電圧に維持する、あるいは、前記第1の閾値電圧から前記第3の閾値電圧に変える第1のステップと、

書き込むべきデータに応じて第2のメモリセルの閾値電圧を、前記第1の閾値電圧に維持する、あるいは、前記第1の閾値電圧から前記第3の閾値電圧に変える第2のステップと、

書き込むべきデータに応じて第3のメモリセルの閾値電圧を前記第1の閾値電圧に維持する、あるいは、前記第1の閾値電圧から前記第3の閾値電圧に変える第3のステップと、

前記第1のメモリセルの閾値電圧が前記第1の閾値電圧である場合、書き込むべきデータに応じて、前記第1のメモリセルの閾値電圧を、前記第1の閾値電圧に維持する、あるいは、前記第1の閾値電圧から前記第2の閾値電圧に変える、且つ前記第1のメモリセルの閾値電圧が前記第3の閾値電圧である場合、書き込むべきデータに応じて、前記第1のメモリセルの閾値電圧を、前記第3の閾値電圧に維持する、あるいは、前記第3の閾値電圧から前記第4の閾値電圧に変える第4のステップと

を具備することを特徴とする半導体記憶装置。

【請求項 19】

前記書き込み回路は、前記第4のステップで前記第3の閾値電圧に維持する場合で、前記第1のメモリセルの閾値電圧が所定の閾値電圧に達していない場合、前記第1のメモリセルの閾値電圧を変化させることを特徴とする請求項18記載の半導体記憶装置。

【請求項 20】

前記第2の閾値電圧は、前記第1の閾値電圧と前記第3の閾値電圧の間であることを特徴とする請求項10又は18に記載の半導体記憶装置。

【請求項 21】

前記第2の閾値電圧と前記第3の閾値電圧は、前記第1の閾値電圧と前記第4の閾値電圧の間であることを特徴とする請求項10又は18に記載の半導体記憶装置。

【請求項 22】

前記書き込み回路は第5のステップをさらに含み、前記第5のステップは、閾値電圧が前記第1の閾値電圧である場合、書き込むべきデータに応じて、前記第2のメモリセル及び前記第3のメモリセルの閾値電圧を、前記第1の閾値電圧に維持する、あるいは、前記第1の閾値電圧から前記第2の閾値電圧に変える、且つ、閾値電圧が前記第3の閾値電圧である場合、書き込むべきデータに応じて、前記第2のメモリセル及び前記第3のメモリセルの閾値電圧を、前記第3の閾値電圧に維持する、あるいは、前記第3の閾値電圧から前記第4の閾値電圧に変えることを特徴とする請求項18記載の半導体記憶装置。

【請求項 23】

前記書き込み回路は、前記第5のステップで前記第3の閾値電圧に維持する場合で、前記第2のメモリセル及び前記第3のメモリセルの閾値電圧が所定の閾値電圧に達していない場合、前記第2のメモリセル及び前記第3のメモリセルの閾値電圧を変化させることを特徴とする請求項22記載の半導体記憶装置。

【請求項 24】

前記第1のメモリセルと前記第2のメモリセルは隣接して配置され、前記第1のメモリセルと前記第3のメモリセルは隣接して配置されていることを特徴とする請求項18記載の半導体記憶装置。

【請求項 25】

前記第1のメモリセルと前記第2のメモリセルは共通のワード線に接続され、且つ隣接して配置され、前記第1のメモリセルと前記第3のメモリセルは共通のビット線に接続され、且つ隣接して配置されていることを特徴とする請求項18記載の半導体記憶装置。

【請求項26】

前記第3の閾値電圧の値の定義は、前記第4のステップの前後で異なることを特徴とする請求項18記載の半導体記憶装置。

【請求項27】

前記第3の閾値電圧の値を制御するために、前記第4のステップが行われたか否かを記憶する第4のメモリセルをさらに具備することを特徴とする請求項26記載の半導体記憶装置。

【請求項28】

各々が少なくとも4つの閾値電圧のうちの1つを持つことができ、2ビットのデータを記憶することが可能な複数のメモリセルがマトリックス状に配置されて構成されたメモリセルアレイと、

列方向に配置された複数の前記メモリセルに接続された複数のビット線と、

行方向に配置された複数の前記メモリセルに接続された複数のワード線と、

前記各ワード線により選択される複数の前記メモリセルと同時に選択されるフラグセルと、

前記各ビット線に接続され、データを記憶する複数のデータ記憶回路と、

前記ワード線により同時に選択される複数の第1メモリセルに第1ページのデータを書き込み、この後、前記複数の第1のメモリセルに第2ページのデータを書き込み、前記第2ページのデータを書き込むときに、前記各ワード線により同時に選択される前記フラグセルにデータを書き込み、次に、前記第1メモリセルとビット線方向に隣接した第2メモリセルに前記第1、第2ページのデータを順次書き込む書き込み回路と

を具備することを特徴とする半導体記憶装置。

【請求項29】

各々が少なくとも4つの閾値電圧のうちの1つを持つことができ、2ビットのデータを記憶することが可能な複数のメモリセルがマトリックス状に配置されて構成されたメモリセルアレイと、

列方向に配置された複数の前記メモリセルに接続された複数のビット線と、

行方向に配置された複数の前記メモリセルに接続された複数のワード線と、

前記各ビット線に接続され、データを記憶する複数のデータ記憶回路と、

前記ビット線方向に隣接した第1、第2メモリセルに第1ページのデータをそれぞれ書き込み、この後、前記第1メモリセルに第2ページのデータを書き込み、次に、前記第2メモリセルと前記ビット線方向に隣接した第3メモリセルに前記第1ページのデータを書き込む書き込み回路と

を具備することを特徴とする半導体記憶装置。

【請求項30】

それぞれが 2^n (n は、2以上の自然数)の閾値電圧のうちの1つを持つことができ、 n ビットのデータを記憶することが可能な複数のメモリセルがマトリックス状に配置されて構成されたメモリセルアレイと、

列方向に配置された複数の前記メモリセルに接続された複数のビット線と、

行方向に配置された複数の前記メモリセルに接続された複数のワード線と、

前記ワード線により選択される複数の前記メモリセルと同時に選択される第1、第2のフラグセルと、

前記ワード線により選択される複数のメモリセルにそれぞれ記憶される前記 n ビットにより構成される n ページは第1、第2の領域に分割され、第 k ページ目 ($2 \leq k \leq n$)の前記第1の領域にデータを書き込むとき、前記第1のフラグセルにもデータを書き込み、前記第 k ページ目の前記第2の領域にデータを書き込むとき、前記第2のフラグセルにもデータを書き込む書き込み回路と

を具備することを特徴とする半導体記憶装置。

【請求項 3 1】

それぞれが 2^n (n は、2 以上の自然数) の閾値電圧のうちの 1 つを持つことができ、 n ビットのデータを記憶することが可能な複数のメモリセルがマトリックス状に配置されて構成されたメモリセルアレイと、

列方向に配置された複数の前記メモリセルに接続された複数のビット線と、

行方向に配置された複数の前記メモリセルに接続された複数のワード線と、

前記ワード線により選択される複数の前記メモリセルと同時に選択される $(n-1) \times i$ 個のフラグセルと、

前記ワード線により選択される複数のメモリセルにそれぞれ記憶される前記 n ビットにより構成される n ページは i 個の領域 (i は自然数) に分割され、第 k ページ目 ($2 \leq k \leq n$) の前記第 1 の領域にデータを書き込むとき、前記第 $(k-2) \times i + 1$ のフラグセルにもデータを書き込み、前記第 k ページ目の前記第 i の領域にデータを書き込むとき、前記第 $(k-1) \times i$ のフラグセルにもデータを書き込む書き込み回路と

を具備することを特徴とする半導体記憶装置。

【請求項 3 2】

それぞれが 2^n (n は、2 以上の自然数) の閾値電圧のうちの 1 つを持つことができ、 n ビットのデータを記憶することが可能な複数のメモリセルがマトリックス状に配置されて構成されたメモリセルアレイと、

列方向に配置された複数の前記メモリセルに接続された複数のビット線と、

行方向に配置された複数の前記メモリセルに接続された複数のワード線と、

前記ワード線により選択される複数の前記メモリセルと同時に選択される i 個のフラグセルと、

前記ワード線により選択される複数のメモリセルにそれぞれ記憶される前記 n ビットにより構成される n ページは i 個の領域 (i は自然数) に分割され、第 k ページ目 ($2 \leq k \leq n$) の前記第 1 の領域にデータを書き込むとき、第 1 のフラグセルにもデータを書き込み、前記第 k ページ目の前記第 i の領域にデータを書き込むとき、前記第 i のフラグセルにもデータを書き込む書き込み回路と

を具備することを特徴とする半導体記憶装置。

【請求項 3 3】

k 値の閾値 (k は 2 以上の自然数) を有するメモリセルと、

外部から入力されるデータを記憶する第 1 の記憶回路と、

前記メモリセルより読み出されたデータ、又は前記外部から入力されるデータを記憶する第 2 の記憶回路と、

前記第 1 の記憶回路及び第 2 の記憶回路のデータに応じて、前記メモリセルに n 値 ($n \leq k$) の閾値電圧を書き込み、前記メモリセルに少なくとも 1 値の閾値電圧を書き込んだ場合、前記第 1 の記憶回路に次のデータを外部より入力させる制御回路と

を具備することを特徴とする半導体記憶装置。

【請求項 3 4】

k 値の閾値 (k は 2 以上の自然数) を有するメモリセルと、

前記メモリセルより読み出されたデータ、又は外部から入力されるデータを記憶する i 個 (i は 2 以上の自然数) の記憶回路と、

前記記憶回路のデータに応じて、前記メモリセルに n 値 ($n \leq k$) の閾値電圧を書き込み、前記メモリセルに少なくとも 1 値の閾値電圧を書き込んだ場合、前記記憶回路の少なくとも 1 つに、次のデータを外部より入力させる制御回路と

を具備することを特徴とする半導体記憶装置。

【書類名】明細書**【発明の名称】半導体記憶装置****【技術分野】****【0001】**

本発明は、例えば2ビット以上のデータを記憶することが可能な半導体記憶装置に関する。

【背景技術】**【0002】**

EEPROMを用いたNAND型フラッシュメモリであって、多値データを記憶可能な不揮発性半導体記憶装置が提案されている（例えば、特許文献1参照）。

【0003】

NAND型フラッシュメモリは、マトリクス状に配置された複数のセルのうち、ロウ方向に並んだ複数のセル全て、又は半数のセルが同時に選択される。この選択された複数のセルに対して一括してデータの書き込み、又は読み出しが行われる。すなわち、選択された複数のセルは、それぞれ対応するビット線に接続され、各ビット線には書き込み及び読み出し用のデータを保持するラッチ回路が接続されている。このラッチ回路を用いてデータの書き込み又は読み出しが実行される。

【特許文献1】特開2000-195280号公報

【発明の開示】**【発明が解決しようとする課題】****【0004】**

ところで、この種の不揮発性半導体記憶装置は著しく微細化が進んでいる。このため、ロウ方向及びカラム方向に隣接するセルの相互間隔が非常に狭まっている。隣接するセルの相互間隔が短くなるに従い、隣接するセル相互の浮遊ゲート間の容量（FG-FG間容量）が大きくなる。したがって、先に書いたセルの閾値電圧 V_{th} が、FG-FG間容量により、後に書いた隣接セルのデータに応じて変動してしまうという問題が生じている。特に、1つのセルに複数のデータ（kビット）を記憶する多値メモリは、複数の閾値電圧を有する。このため、1データ当たりの閾値電圧の分布を非常に狭く制御する必要があり、隣接セルのデータに応じて閾値電圧が変動するという問題が顕著となっている。

【0005】

本発明は、上記課題を解決するためになされたものであり、その目的とするところは、隣接セルのデータによる閾値電圧の変動を防止可能な半導体記憶装置を提供しようとするものである。

【課題を解決するための手段】**【0006】**

本発明の半導体記憶装置の第1の態様は、n値（nは2以上の自然数）を記憶する複数のメモリセルがマトリックス状に配置されて構成されたメモリセルアレイと、前記メモリセルアレイのj値（ $j < n$ ）のデータが記憶されている第1メモリセルに、次の少なくとも1値のデータを記憶する前に、前記第1メモリセルに隣接する少なくとも1つのメモリセルにj値以下のデータを書き込む書き込み回路とを具備している。

【0007】

また、本発明の半導体記憶装置の第2の態様は、n値（nは2以上の自然数）のデータを記憶し、マトリックス状に配置された少なくとも1つの第1メモリセルと、前記第1メモリセルと同時に選択される少なくとも1つの第2メモリセルとを有するメモリセルアレイと、前記メモリセルアレイのj値（ $j < n$ ）のデータが記憶されている前記第1メモリセルに、次の少なくとも1値のデータの書き込む時、前記第2メモリセルの論理レベルを第1の論理レベルから第2の論理レベルに変えるデータを書き込む書き込み回路とを具備している。

【0008】

さらに、本発明の半導体記憶装置の第3の態様は、k（kは2以上の自然数）ビットの

データを記憶し、マトリックス状に配置された少なくとも1つの第1メモリセルと、前記複数の第1メモリセルと同時に選択される少なくとも1つの第2メモリセルとを有するメモリセルアレイと、前記メモリセルアレイの i ビット ($i < k$) のデータが記憶されている前記第1メモリセルに、次の少なくとも1ビットのデータの書き込む時、前記第2メモリセルの論理レベルを第1の論理レベルから第2の論理レベルに変えるデータを書き込む書き込み回路とを具備している。

【0009】

また、本発明の半導体記憶装置の第4の態様は、 k (k は2以上の自然数) ビットを記憶するメモリセルと、外部から入力されるデータを記憶する第1の記憶回路と、前記メモリセルより読み出されるデータ、又は、外部から入力されるデータを記憶する第2の記憶回路と、書き込み動作時、前記メモリセルが記憶しているデータに応じて、前記第1の記憶回路のデータを保持又は変更し、前記第2の記憶回路のデータを保持又は変更し、書き込み動作の途中で、前記第1の記憶回路に記憶されているデータが書き込み動作に不要となった場合、前記第1の記憶回路に次の書き込みデータを外部より入力させる制御回路とを具備している。

【0010】

さらに、本発明の半導体記憶装置の第5の態様は、マトリックス状に配置された k ビット (k は2以上の自然数) を記憶する少なくとも1つの第1メモリセルと、前記第1メモリセルと同時に選択される少なくとも1つの第2メモリセルとを有するメモリセルアレイと、前記メモリセルアレイの i ビット ($i < k$) のデータが記憶されている第1メモリセルに、次の少なくとも1ビットのデータを記憶する前に、前記第1メモリセルに隣接する少なくとも1つのメモリセルに i ビット以下のデータを書き込み、前記第1メモリセルに1ビットのデータを書き込むとき、前記第2メモリセルにデータを書き込む書き込み回路と、前記第1メモリセルから読み出したデータを出力する時、前記第2メモリセルに記憶されたデータに応じて、出力するデータの論理レベルを制御する読み出し回路とを具備している。

【0011】

また、本発明の半導体記憶装置の第6の態様は、複数の閾値電圧により複数のデータを記憶するメモリセルと、前記ビット線に接続され、外部から供給されるデータ及び前記メモリセルから読み出されたデータに応じて、第1又は第2論理レベルのデータを記憶する第1データ記憶回路及び第2データ記憶回路を有し、前記第1データ記憶回路のデータが第1論理レベルの場合、メモリセルの閾値電圧を変化させる第1の書き込み動作を行ない、前記第1データ記憶回路のデータが第2論理レベルの場合で、前記第2データ記憶回路のデータが第1の論理レベルである場合、閾値電圧を変化させる第2の書き込み動作を行ない、前記第1データ記憶回路のデータが第2論理レベルの場合で、前記第2データ記憶回路のデータが第2の論理レベルである場合、閾値電圧を変化させず、第1のベリファイ動作において、前記第1データ記憶回路のデータが第1論理レベルであり、前記第2データ記憶回路のデータが第1論理レベルであり、前記メモリセルの閾値電圧が第1のベリファイ電位に達している場合、前記第1データ記憶回路のデータを第2論理レベルに変化させ、前記メモリセルの閾値電圧が前記第1のベリファイ電位に達していない場合、前記第1データ記憶回路のデータを変化させず、前記第1データ記憶回路のデータが第1論理レベルであり、前記第2データ記憶回路のデータが第2論理レベルの場合、前記第1データ記憶回路のデータを変化させず、前記第1データ記憶回路のデータが第2論理レベルである場合、前記第1データ記憶回路のデータを変化させず第2論理レベルに保持し、第2のベリファイ動作において、前記第2データ記憶回路のデータが第1論理レベルであり、前記メモリセルの閾値電圧が第2のベリファイ電位の閾値電圧に達している場合、前記第2データ記憶回路のデータを第2論理レベルに変化させ、前記メモリセルの閾値電圧が前記第2のベリファイ電位に達していない場合、前記第2データ記憶回路のデータは第1論理レベルのまま変化させず、前記第1データ記憶回路のデータが第2論理レベルになり、前記第2データ記憶回路のデータが第2の論理レベルになるまで書き込み動作を行なうこと

を特徴とする。

【0012】

さらに、本発明の半導体記憶装置の第7の態様は、 n 値 (n は 1 以上の自然数) の閾値電圧により複数のデータを記憶するメモリセルと、少なくとも前記メモリセルから読み出された第1又は第2の論理レベルのデータを記憶する第1のデータ記憶回路と、データ線に接続され、少なくとも前記データ線から供給された第1又は第2の論理レベルのデータを記憶する第2のデータ記憶回路と、少なくとも前記メモリセルから読み出されたデータ又は前記第1のデータ記憶回路から供給された第1又は第2の論理レベルのデータを記憶する第3のデータ記憶回路と、前記第1、第2、第3のデータ記憶回路のデータを操作する制御回路とを具備し、前記制御回路は、前記第1のデータ記憶回路の論理レベルが、第2の論理レベルの場合、前記メモリセルの閾値電圧を変化させず、前記第1のデータ記憶回路の論理レベルが、第1の論理レベルの場合であり、前記第3のデータ記憶回路の論理レベルが第1の論理レベルの場合、前記メモリセルの閾値電圧を上げる第1の書き込み動作を行ない、前記第3のデータ記憶回路の論理レベルが第2の論理レベルの場合、前記メモリセルの閾値電圧を上げる第2の書き込み動作を行ない、前記制御回路は、第1のベリファイ動作時、前記第2のデータ記憶回路の論理レベルが、第1の論理レベルの場合、前記メモリセルをプリチャージせず、第2のデータ記憶回路の論理レベルが、第2の論理レベルの場合、前記メモリセルをプリチャージする、前記制御回路は、前記メモリセルの閾値電圧が第1のベリファイ電圧を超えている場合、前記第3のデータ記憶回路の論理レベルを第2の論理レベルに設定し、前記メモリセルの閾値電圧が第1のベリファイ電圧を超えていない場合、前記第3のデータ記憶回路の論理レベルを変化させず、前記メモリセルの閾値電圧が前記第1のベリファイ電圧より高い第2のベリファイ電圧を超えている場合、前記第1のデータ記憶回路の論理レベルを第2の論理レベルに設定し、前記メモリセルの閾値電圧が第2のベリファイ電圧を超えていない場合、第1のデータ記憶回路の論理レベルを変化させず、前記制御回路は、第2のベリファイ動作時、前記第3のデータ記憶回路の論理レベルが、前記第1の論理レベルの場合、前記メモリセルをプリチャージせず、前記第2のデータ記憶回路の論理レベルが、前記第2の論理レベルの場合、前記メモリセルをプリチャージし、前記制御回路は、前記メモリセルの閾値電圧が前記第2のベリファイ電圧より高い第3のベリファイ電圧を超えている場合、前記第1のデータ記憶回路の論理レベルを第2の論理レベルに設定し、前記メモリセルの閾値電圧が前記第3のベリファイ電圧を超えていない場合、前記第1のデータ記憶回路の論理レベルを変化させず、前記制御回路は、第3のベリファイ動作時、前記メモリセルの閾値電圧が前記第3のベリファイ電圧より高い第4のベリファイ電圧を超えている場合、前記第1のデータ記憶回路の論理レベルを前記第2の論理レベルに設定し、前記メモリセルが前記第4のベリファイ電圧を超えていない場合、第1のデータ記憶回路の論理レベルを変化させず、前記第1のデータ記憶回路の論理レベルが前記第2の論理レベルになるまで、前記第1、第2の書き込み動作及びベリファイ動作を繰り返すことを特徴とする。

【0013】

また、本発明の半導体記憶装置の第8の態様は、 n 値 (n は 1 以上の自然数) の閾値電圧により複数のデータを記憶するメモリセルと、少なくとも前記メモリセルから読み出された第1又は第2の論理レベルのデータを記憶する第1のデータ記憶回路と、データ線に接続され、少なくとも前記データ線から供給された第1又は第2の論理レベルのデータを記憶する第2のデータ記憶回路と、少なくとも前記メモリセルから読み出されたデータ又は前記第1のデータ記憶回路から供給された第1又は第2の論理レベルのデータを記憶する第3のデータ記憶回路と、前記第1、第2、第3のデータ記憶回路のデータを操作する制御回路とを具備し、前記制御回路は、前記メモリセルに第1ページのデータを書き込んだ後、前記第2のデータ記憶回路にデータ線から第2ページのデータを記憶させ、前記メモリセルから読み出した前記第1ページのデータを前記第1のデータ記憶回路に記憶させ、第1、第2、第3のデータ記憶回路のデータを操作し、メモリセルにデータを“2”を書き込んでいる場合と、メモリセルにデータを“1”を書き込んでいて第1のベリファイ

電圧を超えている場合、前記第3のデータ記憶回路に前記第2の論理レベルを設定し、これ以外の場合前記第3のデータ記憶回路に前記第1の論理レベルを設定することを特徴とする。

【0014】

さらに、本発明の半導体記憶装置の第9の態様は、 n 値（ n は1以上の自然数）の閾値電圧により複数のデータを記憶するメモリセルと、少なくとも前記メモリセルから読み出された第1又は第2の論理レベルのデータを記憶する第1のデータ記憶回路と、データ線に接続され、少なくとも前記データ線から供給された第1又は第2の論理レベルのデータを記憶する第2のデータ記憶回路と、少なくとも前記メモリセルから読み出されたデータ又は前記第1のデータ記憶回路から供給された第1又は第2の論理レベルのデータを記憶する第3のデータ記憶回路と、前記第1、第2、第3のデータ記憶回路のデータを操作する制御回路とを具備し、前記制御回路は、前記データ線から供給された第1ページのデータを前記第2のデータ記憶回路に記憶させ、前記第2のデータ記憶回路に記憶された前記第1ページのデータを前記第1のデータ記憶回路に転送し、前記データ線から供給された第2ページのデータを前記第2のデータ記憶回路に記憶させ、前記第1のデータ記憶回路に記憶された第1ページのデータと前記第2のデータ記憶回路に記憶された第2ページのデータより、書き込みデータを設定し、前記書き込みデータに基づき前記メモリセルに前記第1ページのデータと前記第2ページのデータを同時に書き込むことを特徴とする。

【0015】

さらに、本発明の半導体記憶装置の第10の態様は、各々が少なくとも第1、第2、第3、第4の閾値電圧のうちの1つを持つことができ、2ビットのデータを記憶することが可能な複数のメモリセルと、前記複数のメモリセルの閾値電圧を制御してデータを書き込む書き込み回路、前記書き込み回路は、書き込むべきデータに応じて、第1のメモリセルの閾値電圧を、前記第1の閾値電圧に維持する、あるいは、前記第1の閾値電圧から前記第3の閾値電圧に変える第1のステップと、書き込むべきデータに応じて、第2のメモリセルの閾値電圧を、前記第1の閾値電圧に維持する、あるいは、前記第1の閾値電圧から前記第3の閾値電圧に変える第2のステップと、前記第1のメモリセルの閾値電圧が前記第1の閾値電圧である場合、書き込むべきデータに応じて、前記第1のメモリセルの閾値電圧を、前記第1の閾値電圧に維持する、あるいは、前記第1の閾値電圧から前記第2の閾値電圧に変える、前記第1のメモリセルの閾値電圧が前記第3の閾値電圧である場合、書き込むべきデータに応じて、前記第1のメモリセルの閾値電圧を、前記第3の閾値電圧に維持する、あるいは、前記第3の閾値電圧から前記第4の閾値電圧に変える第3のステップとを含み、前記書き込み回路は、前記第3のステップにより、前記第1のメモリセルの閾値電圧を前記第3の閾値電圧に維持する場合において、前記第1のメモリセルの閾値電圧が所定の閾値電圧に達していない場合、前記第1のメモリセルの閾値電圧を変化させることを特徴とする。

【0016】

また、本発明の半導体記憶装置の第11の態様は、各々が少なくとも第1、第2、第3、第4の閾値電圧のうちの1つを持つことができ、2ビットのデータを記憶することが可能な複数のメモリセルと、前記複数のメモリセルの閾値電圧を制御してデータを書き込む書き込み回路とを具備し、前記書き込み回路は、書き込むべきデータに応じて第1のメモリセルの閾値電圧を、前記第1の閾値電圧に維持する、あるいは、前記第1の閾値電圧から前記第3の閾値電圧に変える第1のステップと、書き込むべきデータに応じて第2のメモリセルの閾値電圧を、前記第1の閾値電圧に維持する、あるいは、前記第1の閾値電圧から前記第3の閾値電圧に変える第2のステップと、書き込むべきデータに応じて第3のメモリセルの閾値電圧を前記第1の閾値電圧に維持する、あるいは、前記第1の閾値電圧から前記第3の閾値電圧に変える第3のステップと、前記第1のメモリセルの閾値電圧が前記第1の閾値電圧である場合、書き込むべきデータに応じて、前記第1のメモリセルの閾値電圧を、前記第1の閾値電圧に維持する、あるいは、前記第1の閾値電圧から前記第2の閾値電圧に変える、且つ前記第1のメモリセルの閾値電圧が前記第3の閾値電圧であ

る場合、書き込むべきデータに応じて、前記第1のメモリセルの閾値電圧を、前記第3の閾値電圧に維持する、あるいは、前記第3の閾値電圧から前記第4の閾値電圧に変える第4のステップとを具備することを特徴とする。

【0017】

また、本発明の半導体記憶装置の第12の態様は、各々が少なくとも4つの閾値電圧のうちの1つを持つことができ、2ビットのデータを記憶することが可能な複数のメモリセルがマトリックス状に配置されて構成されたメモリセルアレイと、列方向に配置された複数の前記メモリセルに接続された複数のビット線と、行方向に配置された複数の前記メモリセルに接続された複数のワード線と、前記各ワード線により選択される複数の前記メモリセルと同時に選択されるフラグセルと、前記各ビット線に接続され、データを記憶する複数のデータ記憶回路と、前記ワード線により同時に選択される複数の第1メモリセルに第1ページのデータを書き込み、この後、前記複数の第1のメモリセルに第2ページのデータを書き込み、前記第2ページのデータを書き込むときに、前記各ワード線により同時に選択される前記フラグセルにデータを書き込み、次に、前記第1メモリセルとビット線方向に隣接した第2メモリセルに前記第1、第2ページのデータを順次書き込む書き込み回路とを具備することを特徴とする。

【0018】

また、本発明の半導体記憶装置の第13の態様は、各々が少なくとも4つの閾値電圧のうちの1つを持つことができ、2ビットのデータを記憶することが可能な複数のメモリセルがマトリックス状に配置されて構成されたメモリセルアレイと、列方向に配置された複数の前記メモリセルに接続された複数のビット線と、行方向に配置された複数の前記メモリセルに接続された複数のワード線と、前記各ビット線に接続され、データを記憶する複数のデータ記憶回路と、前記ビット線方向に隣接した第1、第2メモリセルに第1ページのデータをそれぞれ書き込み、この後、前記第1メモリセルに第2ページのデータを書き込み、次に、前記第2メモリセルと前記ビット線方向に隣接した第3メモリセルに前記第1ページのデータを書き込む書き込み回路とを具備することを特徴とする。

【0019】

また、本発明の半導体記憶装置の第14の態様は、それぞれが 2^n （ n は、2以上の自然数）の閾値電圧のうちの1つを持つことができ、 n ビットのデータを記憶することが可能な複数のメモリセルがマトリックス状に配置されて構成されたメモリセルアレイと、列方向に配置された複数の前記メモリセルに接続された複数のビット線と、行方向に配置された複数の前記メモリセルに接続された複数のワード線と、前記ワード線により選択される複数の前記メモリセルと同時に選択される第1、第2のフラグセルと、前記ワード線により選択される複数のメモリセルにそれぞれ記憶される前記 n ビットにより構成される n ページは第1、第2の領域に分割され、第 k ページ目（ $2 \leq k \leq n$ ）の前記第1の領域にデータを書き込むとき、前記第1のフラグセルにもデータを書き込み、前記第 k ページ目の前記第2の領域にデータを書き込むとき、前記第2のフラグセルにもデータを書き込む書き込み回路とを具備することを特徴とする。

【0020】

また、本発明の半導体記憶装置の第15の態様は、それぞれが 2^n （ n は、2以上の自然数）の閾値電圧のうちの1つを持つことができ、 n ビットのデータを記憶することが可能な複数のメモリセルがマトリックス状に配置されて構成されたメモリセルアレイと、列方向に配置された複数の前記メモリセルに接続された複数のビット線と、行方向に配置された複数の前記メモリセルに接続された複数のワード線と、前記ワード線により選択される複数の前記メモリセルと同時に選択される $(n-1) \times i$ 個のフラグセルと、前記ワード線により選択される複数のメモリセルにそれぞれ記憶される前記 n ビットにより構成される n ページは i 個の領域（ i は自然数）に分割され、第 k ページ目（ $2 \leq k \leq n$ ）の前記第1の領域にデータを書き込むとき、前記第 $(k-2) \times i + 1$ のフラグセルにもデータを書き込み、前記第 k ページ目の前記第 i の領域にデータを書き込むとき、前記第 $(k-1) \times i$ のフラグセルにもデータを書き込む書き込み回路とを具備することを特徴

とする。

【0021】

また、本発明の半導体記憶装置の第16の態様は、それぞれが 2^n （ n は、2以上の自然数）の閾値電圧のうちの1つを持つことができ、 n ビットのデータを記憶することが可能な複数のメモリセルがマトリックス状に配置されて構成されたメモリセルアレイと、列方向に配置された複数の前記メモリセルに接続された複数のビット線と、行方向に配置された複数の前記メモリセルに接続された複数のワード線と、前記ワード線により選択される複数の前記メモリセルと同時に選択される i 個のフラグセルと、前記ワード線により選択される複数のメモリセルにそれぞれ記憶される前記 n ビットにより構成される n ページは i 個の領域（ i は自然数）に分割され、第 k ページ目（ $2 \leq k \leq n$ ）の前記第1の領域にデータを書き込むとき、第1のフラグセルにもデータを書き込み、前記第 k ページ目の前記第 i の領域にデータを書き込むとき、前記第 i のフラグセルにもデータを書き込む書き込み回路とを具備することを特徴とする。

【0022】

本発明の半導体記憶装置の第17の態様は、 k 値の閾値（ k は2以上の自然数）を有するメモリセルと、外部から入力されるデータを記憶する第1の記憶回路と、前記メモリセルより読み出されたデータ、又は前記外部から入力されるデータを記憶する第2の記憶回路と、前記第1の記憶回路及び第2の記憶回路のデータに応じて、前記メモリセルに n 値（ $n \leq k$ ）の閾値電圧を書き込み、前記メモリセルに少なくとも1値の閾値電圧を書き込んだ場合、前記第1の記憶回路に次のデータを外部より入力させる制御回路とを具備することを特徴とする。

【0023】

本発明の半導体記憶装置の第18の態様は、 k 値の閾値（ k は2以上の自然数）を有するメモリセルと、前記メモリセルより読み出されたデータ、又は外部から入力されるデータを記憶する i 個（ i は2以上の自然数）の記憶回路と、前記記憶回路のデータに応じて、前記メモリセルに n 値（ $n \leq k$ ）の閾値電圧を書き込み、前記メモリセルに少なくとも1値の閾値電圧を書き込んだ場合、前記記憶回路の少なくとも1つに、次のデータを外部より入力させる制御回路とを具備することを特徴とする。

【発明の効果】

【0024】

本発明によれば、隣接セルのデータによる閾値電圧の変動を防止可能な半導体記憶装置を提供できる。

【発明を実施するための最良の形態】

【0025】

以下、本発明の実施の形態について図面を参照して説明する。

【0026】

先ず、原理について説明する。例えば i ビットのデータが記憶されているメモリセルに対して、次のデータを記憶する前に、隣接メモリセルに i ビット以下のデータを事前に書き込む。この i ビット以下のデータの書き込みは、本来の閾値電圧（ i ビットのデータを記憶する際の実際の閾値電圧）より低くする。隣接メモリセルの書き込み後、メモリセルの閾値電圧を上げる書き込みを行なう。FG-FG間容量により閾値電圧が上がったセルは、この書き込みにおいて、閾値電圧はあまり変化しない。また、FG-FG間容量により閾値電圧があまり上がらなかったセルは、この書き込みで、閾値電圧が上がるため、閾値電圧が本来の値となる。しかし、閾値電圧を上げる書き込み前後で、 i ビットのデータが本来の閾値電圧であるのか、それより低い閾値電圧であるのか分からなくなってしまう。これを区別するため、フラグ用のメモリセル（フラグセル）を用意し、このフラグセルのデータに応じた読み出し動作をする。

【0027】

NAND型フラッシュメモリは、ロウ方向に並んだ複数のセル全て、又は半数のセルを同時に書き込むため、書き込み単位毎にフラグセルを具備すれば良い。

【0028】

(第1の実施形態)

図2は、不揮発性半導体記憶装置の概略構成を示すものであり、例えば4値(2ビット)を記憶するNANDフラッシュメモリの構成を示している。

【0029】

メモリセルアレイ1は複数のビット線と複数のワード線と共通ソース線を含み、例えばEEPROMセルからなる電氣的にデータを書き換え可能なメモリセルがマトリクス状に配置されている。このメモリセルアレイ1には、ビット線を制御するためのビット制御回路2とワード線制御回路6が接続されている。

【0030】

ビット線制御回路2は、後述するように複数のデータ記憶回路及びフラグ用データ記憶回路を含んでいる。このビット線制御回路2は、ビット線を介してメモリセルアレイ1中のメモリセルのデータを読み出したり、ビット線を介してメモリセルアレイ1中のメモリセルの状態を検出したり、ビット線を介してメモリセルアレイ1中のメモリセルに書き込み制御電圧を印加してメモリセルに書き込みを行なう。ビット線制御回路2には、カラムデコーダ3、データ入出力バッファ4が接続されている。ビット線制御回路2内のデータ記憶回路はカラムデコーダ3によって選択される。データ記憶回路に読み出されたメモリセルのデータは、前記データ入出力バッファ4を介してデータ入出力端子5から外部へ出力される。

【0031】

また、外部からデータ入出力端子5に入力された書き込みデータは、データ入出力バッファ4を介して、カラムデコーダ3によって選択されたデータ記憶回路に入力される。

【0032】

ワード線制御回路6は、メモリセルアレイ1に接続されている。このワード線制御回路6は、メモリセルアレイ1中のワード線を選択し、選択されたワード線に読み出し、書き込みあるいは消去に必要な電圧を印加する。

【0033】

メモリセルアレイ1、ビット線制御回路2、カラムデコーダ3、データ入出力バッファ4、及びワード線制御回路6は、制御信号及び制御電圧発生回路7に接続され、この制御信号及び制御電圧発生回路7によって制御される。制御信号及び制御電圧発生回路7は、制御信号入力端子8に接続され、外部から制御信号入力端子8を介して入力される制御信号によって制御される。

【0034】

前記ビット線制御回路2、カラムデコーダ3、ワード線制御回路6、制御信号及び制御電圧発生回路7は書き込み回路、及び読み出し回路を構成している。

【0035】

図3は、図2に示すメモリセルアレイ1及びビット線制御回路2の構成を示している。メモリセルアレイ1には複数のNANDセルが配置されている。1つのNANDセルは、直列接続された例えば16個のEEPROMからなるメモリセルMCと、選択ゲートS1、S2とにより構成されている。第1の選択ゲートS1はビット線BL0に接続され、第2の選択ゲートS2はソース線SRCに接続されている。各ロウに配置されたメモリセルの制御ゲートはワード線WL1、WL2、WL3～WL16に共通接続されている。また、第1の選択ゲートS1はセレクト線SG1に共通接続され、第2の選択ゲートS2はセレクト線SG2に共通接続されている。

【0036】

メモリセルアレイ1は、破線で示すように、複数のブロックを含んでいる。各ブロックは、複数のNANDセルにより構成され、このブロック単位でデータが消去される。また、消去動作は、データ記憶回路10、フラグ用データ記憶回路10aに接続されている2本のビット線について同時に行なわれる。

【0037】

ビット線制御回路 2 は複数のデータ記憶回路 10 及びフラグ用データ記憶回路 10a を有している。各データ記憶回路 10 及びフラグ用データ記憶回路 10a には、一対のビット線 (BL0、BL1)、(BL2、BL3) … (BLi、BLi+1)、(BL、BL) が接続されている。

【0038】

また、ビット線の 1 つ置きに配置され、1 つのワード線に接続された複数のメモリセル (破線で囲まれた範囲のメモリセル) は、1 セクタを構成する。このセクタ毎にデータが書き込まれ、読み出される。1 セクタには例えば 2 ページ分のデータが記憶される。また、各ワード線には、フラグを記憶するためのフラグセル FC が接続されている。すなわち、この実施形態の場合、1 セクタは 1 つのフラグセル FC を含んでいる。

【0039】

尚、このフラグセル FC は、1 セクタに 1 つと限定されるものではなく、破線で示すように、1 セクタに複数のフラグセルを接続してもよい。この場合、後述するように、複数のフラグセルに記憶されたデータの多数決により、フラグセルに記憶されたデータを決定すればよい。

【0040】

リード動作、プログラムベリファイ動作及びプログラム動作時において、データ記憶回路 10 に接続されている 2 本のビット線 (BLi、BLi+1) のうち外部より指定されたアドレス信号 (YA1、YA2 … YA i、YAFlag) に応じて 1 本のビット線が選択される。さらに、外部アドレスに応じて、1 本のワード線が選択され、1 セクタ (2 ページ分) が選択される。この 2 ページの切り替えはアドレスによって行われる。

【0041】

図 4 (a) (b) はメモリセル及び選択トランジスタの断面図を示している。図 4 (a) はメモリセルを示している。基板 41 にはメモリセルのソース、ドレインとしての n 型拡散層 42 が形成されている。基板 41 の上にはゲート絶縁膜 43 を介して浮遊ゲート (FG) 44 が形成され、この浮遊ゲート 44 の上には絶縁膜 45 を介して制御ゲート (CG) 46 が形成されている。図 4 (b) は選択ゲートを示している。基板 41 にはソース、ドレインとしての n 型拡散層 47 が形成されている。基板 41 の上にはゲート絶縁膜 48 を介して制御ゲート 49 が形成されている。

【0042】

図 5 は、メモリセルアレイの 1 つの NAND セルの断面を示している。この例において、1 つの NAND セルは、図 4 (a) に示す構成の 16 個のメモリセル MC が直列接続されて構成されている。NAND セルのドレイン側、ソース側には、図 4 (b) に示す構成の第 1 の選択ゲート S1 及び第 2 の選択ゲート S2 が設けられている。

【0043】

図 6 は、図 3 に示すデータ記憶回路 10 の一例を示す回路図である。フラグ用データ記憶回路 10a もデータ記憶回路 10 と同様の構成とされている。

【0044】

このデータ記憶回路 10 は、プライマリデータキャッシュ (PDC)、セコンダリデータキャッシュ (SDC)、ダイナミックデータキャッシュ (DDC)、テンポラリデータキャッシュ (TDC) を有している。SDC、PDC、DDC は、書き込み時に入力データを保持し、読み出し時に読み出しデータを保持し、ベリファイ時に一時的にデータを保持し、多値データを記憶する際に内部データの操作に使用される。TDC は、データの読み出し時にビット線のデータを増幅し、一時的に保持するとともに、多値データを記憶する際に内部データの操作に使用される。

【0045】

SDC は、ラッチ回路を構成するクロックドインバータ回路 61a、61b、及びトランジスタ 61c、61d により構成されている。トランジスタ 61c はクロックドインバータ回路 61a の入力端と、クロックドインバータ回路 61b の入力端の間に接続されている。このトランジスタ 61c のゲートには信号 EQ2 が供給されている。トランジスタ

61dはクロックドインバータ回路61bの出力端と接地間に接続されている。このトランジスタ61dのゲートには信号PRSTが供給されている。SDCのノードN2aは、カラム選択トランジスタ61eを介して入出力データ線IONに接続され、ノードN2bは、カラム選択トランジスタ61fを介して入出力データ線IOに接続される。これらトランジスタ61e、61fのゲートにはカラム選択信号CSLiが供給されている。SDCのノードN2aは、トランジスタ61g、61hを介してPDCのノードN1aに接続されている。トランジスタ61gのゲートには信号BLC2が供給され、トランジスタ61hのゲートには信号BLC1が供給されている。

【0046】

PDCは、クロックドインバータ回路61i、61j及びトランジスタ61kにより構成されている。トランジスタ61kは、クロックドインバータ回路61iの入力端とクロックドインバータ回路61jの入力端の相互間に接続されている。このトランジスタのゲートには信号EQ1が供給されている。PDCのノードN1bはトランジスタ61lのゲートに接続されている。このトランジスタ61lの電流通路の一端はトランジスタ61mを介して接地されている。このトランジスタ61mのゲートには信号CHK1が供給されている。また、トランジスタ61lの電流通路の他端はトランスファゲートを構成するトランジスタ61n、61oの電流通路の一端に接続されている。このトランジスタ61nのゲートには信号CHK2nが供給されている。また、トランジスタ61oのゲートは前記トランジスタ61gと61hの接続ノードに接続されている。トランジスタ61n、61oの電流通路の他端には、信号COMiが供給されている。この信号COMiは全データ記憶回路10に共通の信号であり、全データ記憶回路10のベリファイが完了したかどうかを示す信号である。すなわち、後述するように、ベリファイが完了すると、PDCのノードN1bがローレベルとなる。この状態において、信号CHK1、CHK2をハイレベルとすると、ベリファイが完了している場合、信号COMiがハイレベルとなる。

【0047】

さらに、前記TDCは、例えばMOSキャパシタ61pにより構成されている。このキャパシタ61pは、前記トランジスタ61g、61hの接続ノードN3と接地間に接続されている。また、接続ノードN3には、トランジスタ61qを介してDDCが接続されている。トランジスタ61qのゲートには、信号REGが供給されている。

【0048】

DDCは、トランジスタ61r、61sにより構成されている。トランジスタ61rの電流通路の一端には信号VREGが供給され、他端は前記トランジスタ61qの電流通路に接続されている。このトランジスタ61rのゲートはトランジスタ61sを介して前記PDCのノードN1aに接続されている。このトランジスタ61sのゲートには信号DTGが供給されている。

【0049】

さらに、前記接続ノードN3にはトランジスタ61t、61uの電流通路の一端が接続されている。トランジスタ61uの電流通路の他端には信号VPREが供給され、ゲートにはBLPREが供給されている。前記トランジスタ61tのゲートには信号BLC LAMPが供給されている。このトランジスタ61tの電流通路の他端はトランジスタ61vを介してビット線BL oの一端に接続され、トランジスタ61wを介してビット線BL eの一端に接続されている。ビット線BL oの他端はトランジスタ61xの電流通路の一端に接続されている。このトランジスタ61xのゲートには信号BLAS oが供給されている。ビット線BL eの他端はトランジスタ61yの電流通路の一端に接続されている。このトランジスタ61yのゲートには信号BLAS eが供給されている。これらトランジスタ61x、61yの電流通路の他端には、信号BLCRLが供給されている。トランジスタ61x、61yは、信号BLAS o、BLAS eに応じてトランジスタ61v、61wと相補的にオンとされ、非選択のビット線に信号BLCRLの電位を供給する。

【0050】

上記各信号及び電圧は、図2に示す制御信号及び制御電圧発生回路7により生成され、

この制御信号及び制御電圧発生回路 7 の制御に基づき、以下の動作が制御される。

【0051】

本メモリは、多値メモリであり、1セルに2ビットのデータを記憶することができる。この2ビットの切り替えはアドレス（第1ページ、第2ページ）によって行なわれる。

【0052】

（動作説明）

上記構成において、動作について説明する。

【0053】

図1は、メモリセルのデータとメモリセルの閾値電圧の関係を示している。消去動作を行なうとメモリセルのデータは“0”となる。図1（a）に示すように、第1ページの書き込みを行なうと、メモリセルのデータはデータ“0”とデータ“2”になる。図1（b）に示すように、第2ページの書き込み前に隣接セルに実際のデータの閾値電圧以下のデータが書き込まれる。すると、このセルに書き込まれたデータにより、データ“2”の閾値電圧の分布が大きくなる。この後、第2ページのデータが書き込まれると、メモリセルのデータは、図1（c）に示すように、本来の閾値電圧を有するデータ“0”～“3”となる。本実施例では、メモリセルのデータは閾値電圧の低いほうから高い方へと、定義されている。

【0054】

図7は、NANDセルに対する書き込み順序を示している。ブロック内において、ソース線に近いメモリセルからページごとに書き込み動作が行なわれる。図7は、説明の便宜上、ワード線を4本としている。

【0055】

第1番目の書き込みは、メモリセル1の第1ページに1ビットのデータが書き込まれる。

【0056】

第2番目の書き込みは、メモリセル1とワード方向に隣接したメモリセル2の第1ページに1ビットのデータが書き込まれる。

【0057】

第3番目の書き込みは、メモリセル1とビット方向に隣接したメモリセル3の第1ページに1ビットのデータが書き込まれる。

【0058】

第4番目の書き込みは、メモリセル1と対角に隣接したメモリセル4の第1ページに1ビットのデータが書き込まれる。

【0059】

第5番目の書き込みは、メモリセル1の第2ページに1ビットのデータが書き込まれる。

【0060】

第6番目の書き込みは、メモリセル1とワード方向に隣接したメモリセル2の第2ページに1ビットのデータが書き込まれる。

【0061】

第7番目の書き込みは、メモリセル3とビット方向に隣接したメモリセル5の第1ページに1ビットのデータが書き込まれる。

【0062】

第8番目の書き込みは、メモリセル3と対角に隣接したメモリセル6の第1ページに1ビットのデータが書き込まれる。

【0063】

第9番目の書き込みは、メモリセル3の第2ページに1ビットのデータが書き込まれる。

【0064】

第10番目の書き込みは、メモリセル3とワード方向に隣接したメモリセル4の第2ペ

ージに1ビットのデータが書きこまれる。

【0065】

第11番目の書き込みは、メモリセル5とビット方向に隣接したメモリセル7の第1ページに1ビットのデータが書きこまれる。

【0066】

第12番目の書き込みは、メモリセル5と対角に隣接したメモリセル8の第1ページに1ビットのデータが書きこまれる。

【0067】

第13番目の書き込みは、メモリセル5の第2ページに1ビットのデータが書きこまれる。

【0068】

第14番目の書き込みは、メモリセル5とワード方向に隣接したメモリセル6の第2ページに1ビットのデータが書きこまれる。

【0069】

第15番目の書き込みは、メモリセル7の第2ページに1ビットのデータが書きこまれる。

【0070】

第16番目の書き込みは、メモリセル7とワード方向に隣接したメモリセル8の第2ページに1ビットのデータが書きこまれる。

【0071】

(プログラム及びプログラムベリファイ)

(第1ページプログラム)

図8は、第1ページのプログラムのブロックダイアグラムを示している。プログラム動作は、先ずアドレスを指定し、図3に示す2ページ(1セクタ)が選択する。本メモリは、この2ページのうち、第1ページ、第2ページの順でしか、プログラム動作できない。したがって、先ず、アドレスにより第1ページを選択する。

【0072】

次に、書き込みデータを、外部より入力し全てのデータ記憶回路10内のSDC(図6に示す)に記憶する(ST1)。書き込みコマンドが入力されると、全てのデータ記憶回路10内のSDCのデータがPDCに転送される(ST2)。すなわち、信号BLC1、BLC2が所定の電圧、例えば $V_{dd} + V_{th}$ (V_{dd} :電源電圧(例えば3V又は1.8V、しかし、この電圧に限定されるものではない)、 V_{th} :NチャネルMOSトランジスタの閾値電圧)とされ、トランジスタ61h、61gがオンとされる。すると、ノードN2aのデータがトランジスタ61g、61hを介してPDCに転送される。このため、外部よりデータ“1”(書き込みを行なわない)が入力された場合、PDCのノードN1aは、ハイレベルになり、データ“0”(書き込みを行なう)が入力された場合、PDCのノードN1aは、ローレベルとなる。以後、PDCのデータはノードN1aの電位、SDCのデータはノードN2aの電位とする。

【0073】

第1ページのプログラムにおいて、フラグセルにはデータが書き込まれない。このため、フラグ用データ記憶回路10a内のPDCはデータ“1”となる。

【0074】

(プログラム動作)(ST13)

図6示す信号BLC1、BLC LAMP、BLS o又はBLS eの電位を $V_{dd} + V_{th}$ とする。すると、トランジスタ61h、61t、61v又は61wがオンとなり、PDCに保持されたデータがビット線に供給される。PDCにデータ“1”(書き込みを行なわない)が記憶されている時、ビット線が V_{dd} になり、データ“0”(書き込みを行なう)時、ビット線が V_{ss} (接地電位)になる。また、選択されたワード線に接続され、非選択ページの(ビット線が非選択である)セルは書き込みが行なわれてはならない。このため、これらのセルに接続されているビット線にもデータ“1”と同じように V_{dd} を

供給する。ここで、選択されているブロックのセレクト線SG1にVdd、選択ワード線に電位VPGM(20V)、非選択ワード線に電位VPASS(10V)を印加する。すると、ビット線がVssになっている場合、セルのチャネルがVss、ワード線がVPGMとなるので書き込みが行なわれる。一方、ビット線がVddになっている場合、セルのチャネルがVssではなく、VPGMを上げることにより、カップリングでVPGM/2となる。このため、このセルはプログラムされない。

【0075】

データ“0”書き込み時は、図1に示すようにメモリセルのデータを“2”にする。データ“1”書き込み時の、メモリセルのデータは“0”のままである。

【0076】

(第1ページベリファイ) (S14)

プログラムベリファイ動作では、選択されているワード線にリードの時の電位より少し高い電位を与える。以後“”を付して示す電位はベリファイ電位を示し、リードの電位より若干高い値とする。

【0077】

第1ページのベリファイ動作では、図1(a)に示すように、本来のベリファイ時のワード線の電位“b'”(図1(c)に示す)より低い電位“b*’”を与えベリファイする。以後“*”は本来の値より低い電位を表し、“*’”は本来より低いベリファイ電位より低いベリファイ電位を表す。

【0078】

先ず、選択されているブロック内の非選択ワード線及びセレクト線SG1に読み出し時の電位Vreadを与え、図6に示すデータ記憶回路10の信号BLPREに例えばVdd+Vth、BLC LAMPに所定の電圧、例えば1V+Vthを供給し、信号VPREをVddとし、ビット線を1Vにプリチャージする。

【0079】

次に、セルのソース側のセレクト線SG2をハイレベルにする。閾値電圧が電位“b*’”より高いセルはオフする。このため、ビット線はハイレベルのままである。また、閾値電圧が電位“b*’”より低いセルはオンする。このため、ビット線はVssとなる。ビット線の放電中にVPRE=VSS、BLPRE=ハイレベルとしてTDCをVSSとした後、信号REGをVdd+Vth、VREGをVddとして、トランジスタ61qをオンとし、DDCのデータをTDCに転送する。

【0080】

次に、信号DTGをVdd+Vthとしてトランジスタ61sを一旦オンとし、PDCのデータをDDCに転送する。すなわち、転送されたデータはトランジスタ61rのゲート電位として保持される。

【0081】

この後、信号BLC1を例えばVdd+Vthとしてトランジスタ61hをオンとし、TDCのデータをPDCに移す。

【0082】

次に、信号BLPREに所定の電圧、例えばVdd+Vthを供給し、VPRE=Vddとすることにより、TDCのノードN3をVddにプリチャージした後、信号BLC LAMPを所定の電圧、例えば0.9V+Vthとしてトランジスタ61tをさせる。TDCのノードN3は、ビット線がローレベルの場合、ローレベルとなり、ビット線がハイレベルの場合、ハイレベルとなる。

【0083】

ここで、書き込みを行なう場合、図6のDDCにローレベルが記憶され、書き込みを行なわない場合、DDCにハイレベルが記憶されている。このため、信号VREGをVddとし、信号REGをハイレベルにすると、書き込みを行なわない場合のみTDCのノードN3が強制的にハイレベルとなる。この動作の後、PDCのデータをDDCに移し、TDCの電位をPDCに転送する。PDCにハイレベル信号がラッチされる場合は、セルに書

き込みを行なわない場合と、セルにデータ“2”を書き込んでおり、セルの閾値電圧がベリファイ電位“b*”に達した場合だけである。また、PDCにローレベル信号がラッチされる場合は、セルの閾値電圧が“b*”に達しない場合である。

【0084】

PDCがローレベルの場合、再び書き込み動作を行ない全てのデータ記憶回路10のデータがハイレベルになるまでこのプログラム動作とベリファイ動作を繰り返す(S15-S13)。上記の動作は、2値の場合と全く同じ動作である。

【0085】

(隣接セルプログラム)

図7に示すように、メモリセル1の第1ページに1ビットのデータの書き込んだ後、メモリセル1とワード方向に隣接したメモリセル2の第1ページの書き込み、メモリセル1とビット方向に隣接したメモリセル3の第1ページの書き込み、メモリセル1と対角に隣接したメモリセル4の第1ページの書き込みが順次行なわれる。これらの書き込み動作が行なわれると、書き込みデータによっては、FG-FG間容量によって、メモリセル1の閾値電圧が上がる。このため、メモリセル1のデータ“0”とデータ“2”の閾値電圧分布は図1(b)のように電位が高いほうに広がる。

【0086】

この後、第5の書き込みにおいて、メモリセル1の第2ページに1ビットのデータを書き込む。

【0087】

(第2ページプログラム)

図9は、第2ページのプログラム(書き込み)動作のブロックダイアグラムを示している。第2ページプログラム動作も、先ずアドレスに応じて、図3示す2ページが選択される。

【0088】

次に、書き込みデータを、外部より入力し全てのデータ記憶回路内のSDCに記憶する(S21)。外部よりデータ“1”(書き込みを行なわない)が入力されると、データ記憶回路10のSDCのノードN2aは、ハイレベルになり、データ“0”(書き込みを行なう)が入力されるとローレベルとなる。

【0089】

この後、書き込みコマンドが入力されると、第2ページのプログラムであるので、フラグセルにデータの書き込みを行なうため、フラグセル用のデータ記憶回路10a内のSDCにはデータ“0”が入力される(S22)。前述したように、フラグセルは、信頼性を高めるために、複数セル用意することも可能である。この場合、第2ページでは、これら複数のフラグセルにデータ“0”が入力される。

【0090】

第2ページのプログラムでは、図1(c)に示すように、メモリセルのデータが“0”の場合で、外部から入力されるデータが“1”の場合、メモリセルのデータを“0”のままとし、外部から入力されるデータが“0”の場合、メモリセルのデータを“1”にする。

【0091】

メモリセルのデータが“2”の場合で、外部から入力されるデータが“0”の場合、メモリセルのデータを“2”のままとする。しかし、第1ページの書き込み後、メモリセルのデータが“2”に達したかどうかのベリファイ時、ベリファイ電位を通常より低い“b*”で行なった。このため、このメモリセルに対して、本来のベリファイ電位である“b'”の電位まで書き込みを行なう。

【0092】

また、メモリセルのデータが“2”の場合で、外部から入力されるデータが“1”の場合、メモリセルのデータを“3”にする。

【0093】

(内部データリード)

まず、セルへの書き込みの前に、第1ページのメモリセルのデータが“0”か“2”であるかを判断するため、内部リード動作を行なう(S23)。内部データリードは、リード動作と全く同じである。通常メモリセルのデータが“0”か“2”かの判断時において、選択ワード線には、リード時の電位“b”を与える。しかし、第1ページのプログラム動作では、ベリファイ電位を通常より低い“b*”までしか書きこんでいないため、“b”の電位より低い場合もある。したがって、内部データロードでは、ワード線に“a”の電位を供給して読み出し動作をする。

【0094】

すなわち、選択されているブロック内の非選択ワード線及びセレクト線SG1に電位Vreadを印加する。これとともに、データ記憶回路10の信号VPREをVddとし、信号BLPRE、BLCCLAMPを所定の電圧、例えば $1V + V_{th}$ として、ビット線をVddにプリチャージした後、セルのソース側のセレクト線SG2をハイレベルとする。閾値電圧が電位“a”より高いセルはオフするため、ビット線はハイレベルのままである。また、閾値電圧が電位“a”より低いセルはオンするため、ビット線は放電され、接地電位Vssとなる。

【0095】

次に、データ記憶回路10の信号VPREをVdd、信号BLPREを $Vdd + V_{th}$ とし、TDCのノードN3をVddにプリチャージする。この後、信号BLCCLAMPを $0.9V + V_{th}$ とする。TDCのノードN3はビット線がローレベルの場合、ローレベルとなり、ビット線がハイレベルの場合、ハイレベルとなる。この後、TDCの電位をPDCに転送する。この結果、メモリセルのデータが“2”である場合、PDCにハイレベル信号がラッチされ、メモリセルのデータが“0”である場合、PDCにローレベル信号がラッチされる。図10(a)は、データロード、内部リード後のSDC、PDCとメモリセルのデータの関係を示している。

【0096】

(データキャッシュの設定) (S24)

この後、図11、図12に示すデータキャッシュ設定手順に従い各データキャッシュに記憶されたデータが操作される。

【0097】

このような操作をすることにより、各データキャッシュに記憶されるデータは図10(b)に示すようになる。

【0098】

すなわち、メモリセルのデータを“0”にする場合(第1ページではデータ“1”、第2ページはデータ“1”)、PDCはハイレベル、DDCはローレベル、SDCはハイレベルに設定される。

【0099】

メモリセルのデータを“1”にする場合(第1ページではデータ“1”、第2ページはデータ“0”)、PDCはローレベル、DDCはハイレベル、SDCはハイレベルに設定される。

【0100】

メモリセルのデータを2する場合(第1ページではデータ“0”、第2ページはデータ“0”)、PDCはローレベル、DDCはハイレベル、SDCはローレベルに設定される。

【0101】

メモリセルのデータを3する場合(第1ページではデータ“0”、第2ページはデータ“1”)、PDCはローレベル、DDCはローレベル、SDCはローレベルに設定される。

【0102】

(第2ページベリファイ:メモリセルデータ“2”のベリファイ) (S25)

データ“2”を書き込むセルは、第1ページで本来のベリファイ電位“b'”より低いベリファイ電位“b*’”により、書き込みが行なわれている。その後、隣接セルの書き込みにより閾値電圧が上昇している場合もあり、本来のベリファイ電位“b'”に達しているセルもある。このため、先ず、データ“2”のベリファイを行なう。このプログラムベリファイ動作では、選択されているワード線にリードの時の電位“b”より少し高い電位“b'”を印加する。

【0103】

先ず、選択されているブロック内の非選択ワード線及びセレクト線SG1に電位Vreadを与え、図6のデータ記憶回路10の信号BLCLAMPを $1V + V_{th}$ とし、REGを $V_{dd} + V_{th}$ としてビット線をプリチャージする。メモリセルにデータ“0”、“3”を書き込む場合、図10(b)に示すように、DDCがローレベルに設定されている。このため、ビット線はプリチャージされない。また、メモリセルにデータ“1”、“2”を書き込む場合、DDCがハイレベルに設定されている。このため、ビット線がプリチャージされる。

【0104】

次に、NANDセルのソース側のセレクト線SG2をハイレベルにする。セルの閾値電圧が“b'”より高い時、セルはオフする。このため、ビット線はハイレベルのままである。また、セルの閾値電圧が“b'”より低いセルはオンする。このため、ビット線はVssとなる。ビット線の放電中に、TDCのノードN3が一旦Vssとされる。この後、信号REGをハイレベルとしてトランジスタ61qをオンさせ、DDCのデータをTDCに転送する。

【0105】

次に、信号DTGを $V_{dd} + V_{th}$ としてトランジスタ61sを一旦オンさせ、PDCのデータをDDCに移す。この後、TDCのデータをPDCに移す。

【0106】

次に、信号VPREをVddとし、信号BLPREを $V_{dd} + V_{th}$ とすることにより、TDCのノードN3をVddにプリチャージする。この後、信号BLCLAMPを $0.9V + V_{th}$ としてトランジスタ61tをオンさせる。TDCのノードN3はビット線がローレベルの場合、ローレベルとなり、ビット線がハイレベルの場合、ハイレベルとなる。

【0107】

ここで、書き込みを行なう場合、DDCにローレベル信号が記憶され、書き込みを行わない場合、DDCにハイレベル信号が記憶されている。このため、信号VREGをVddとし、信号REGを $V_{dd} + V_{th}$ にすると、書き込みを行なわない場合のみTDCのノードN3が強制的にハイレベルとなる。

【0108】

この後、PDCのデータをDDCに移し、TDCの電位をPDCに読み込む。PDCにハイレベル信号がラッチされるのは、書き込みを行なわない場合と、メモリセルにデータ“2”を書き込み、セルの閾値電圧がベリファイ電位である“b'”に達した場合だけである。PDCにローレベルがラッチされる場合は、セルの閾値電圧が“b'”に達しない場合と、メモリセルにデータ“1”、“3”を書き込んでいる場合である。

【0109】

(プログラム動作) (S26)

プログラム動作は、第1ページのプログラム動作と全く同じである。PDCにデータ“1”が記憶されている場合、書き込みが行なわれず、データ“0”が記憶されている場合、書き込みが行なわれる。

【0110】

(第2ページベリファイ：メモリセルデータ“1”のベリファイ) (S27)

このプログラムベリファイ動作では、図1(c)に示すように、選択されているワード線にリードの時の電位“a”より少し高い電位“a'”を与える。

【0111】

先ず、選択されているブロック内の非選択ワード線及びセレクト線SG1に読み出し電位Vreadを与える。データ記憶回路10の信号BLCLAMPを $1V + V_{th}$ 、BLC2を $V_{dd} + V_{th}$ としてビット線をプリチャージする。メモリセルのデータ“2”、“3”への書き込み時、SDCの記憶データは“0”である。このため、ビット線はプリチャージされず、メモリセルのデータ“0”、“1”への書き込み時のみ、ビット線がプリチャージされる。

【0112】

次に、セルのソース側のセレクト線SG2をハイレベルにする。閾値電圧が電位“a'”より高いセルはオフするため、ビット線はハイレベルのままである。また、閾値電圧が電位“a'”より低いセルはオンするためビット線はVssとなる。このビット線放電中、TDCのノードN3を一旦Vssとし、信号REGをハイレベルとしてトランジスタ61qをオンさせ、DDCのデータをTDCに移す。

【0113】

次に、信号DTGをハイレベルとしてトランジスタ61sを一旦オンとし、PDCのデータをDDCに移す。この後、TDCのデータをPDCに移す。次に、データ記憶回路の信号BLPREに電圧 $V_{dd} + V_{th}$ として、トランジスタ61uをオンとし、TDCのノードN3をVddにプリチャージする。この後、信号BLCLAMPを $0.9V + V_{th}$ とし、トランジスタ61tをオンさせる。すると、TDCのノードN3はビット線がローレベルの場合ローレベルとなり、ビット線がハイレベルの場合ハイレベルとなる。

【0114】

ここで、書き込みを行なう場合、DDCにローレベルが記憶され、書き込みを行なわない場合、DDCにハイレベルが記憶されている。このため、信号VREGをVddとし、信号REGをハイレベルにすると、書き込みを行なわない場合のみTDCのノードN3が強制的にハイレベルとなる。この動作の後、PDCのデータをDDCに移し、TDCの電位をPDCに読み込む。PDCにハイレベルがラッチされるのは、書き込みを行なわない場合と、メモリセルにデータ“1”を書き込んでいて、セルの閾値電圧がベリファイ電位“a'”に達した場合だけである。PDCにローレベルがラッチされる場合は、セルの閾値電圧が電位“a'”に達しない場合と、メモリセルのデータ“2”、“3”に書き込んでいる場合である。

【0115】

(第2ページベリファイ：メモリセルデータ“2”のベリファイ) (S28)

プログラム前に行なったメモリセルデータ“2”のベリファイと同様に、メモリセルデータ“2”のベリファイを行なう。

【0116】

(第2ページベリファイ：メモリセルデータ“3”のベリファイ) (S29)

このプログラムベリファイ動作では、図1(c)に示すように、選択されているワード線にリードの時の電位“c”より少し高い電位“c'”を供給する。この状態において、先ず、選択されているブロック内の非選択ワード線及びセレクト線SG1にVreadを供給し、信号BLCLAMPを $1V + V_{th}$ 、BLPREを $V_{dd} + V_{th}$ としてトランジスタ61t、61uをオンとしてビット線をプリチャージする。

【0117】

次に、セルのソース側のセレクト線SG2をハイレベルにする。閾値電圧が電位“c'”より高いセルはオフするため、ビット線はハイレベルのままである。また、閾値電圧が電位“c'”より低いセルはオンするため、ビット線はVssとなる。このビット線放電中、TDCのノードN3をVssとし、信号REGハイレベルとし、トランジスタ61qをオンとしてDDCのデータをTDCに移す。

【0118】

次に、信号DTGをハイレベルとし、トランジスタ61sをオンさせPDCのデータをDDCに移す。この後、TDCのデータをPDCに移す。次に、信号BLPREをVdd

+V_{th}としてトランジスタ61uをオンさせ、TDCのノードN3をV_{dd}にプリチャージする。この後、信号BLCLAMPを0.9V+V_{th}としてトランジスタ61tをオンとする。TDCのノードN3はビット線がローレベルの場合ローレベルとなり、ビット線がハイレベルの場合ハイレベルとなる。

【0119】

ここで、書き込みを行なう場合、DDCにローレベルが記憶され、書き込みを行なわない場合、DDCにハイレベルが記憶されている。このため、信号VREGをV_{dd}とし、信号REGをハイレベルとしてトランジスタ61qをオンとする。すると、書き込みを行なわない場合のみTDCのノードN3が強制的にハイレベルとなる。この動作の後、PDCのデータをDDCに移し、TDCの電位をPDCに読み込む。PDCにハイレベルがラッチされるのは、書き込みを行なわない場合と、メモリセルにデータ“3”を書き込んでいて、セルの閾値電圧がベリファイ電位“c'”に達した場合だけである。PDCにローレベルがラッチされる場合は、セルの閾値電圧が電位“c'”に達しない場合とメモリセルのデータ“1”、“2”に書き込んでいる場合である。

【0120】

PDCがローレベルの場合は再び書き込み動作を行ない全てのデータ記憶回路のPDCのデータがハイレベルになるまでこのプログラム動作とベリファイ動作を繰り返す(S30)。

【0121】

上記第1の実施形態において、1回のプログラムの後、3つのベリファイを行なっていた。しかし、初期のプログラムループでは、閾値電圧が上がらない。このため、メモリセルデータ“3”のベリファイ、若しくはメモリセルデータ“3”のベリファイ及びメモリセルデータ“2”のベリファイを省略することもできる。また、終了近くのプログラムループでは、メモリセルデータ“1”への書き込み、若しくはメモリセルデータ“2”及びメモリセルデータ“1”の書き込みは終了している。このため、これらのベリファイ動作は省略することもできる。メモリセルデータ“1”のベリファイが不用になると、SDCで記憶しているデータを保持する必要がなくなる。このため、次のデータを書き込みのためのデータを外部より読み込んでおくことも可能である。

【0122】

また、フラグセルには、第1ページでは、データが書き込まれず、第2ページでのみ、データが書き込まれた。このため、フラグセルのデータは“1”になっている。

【0123】

(第1ページリード)

図13は、第1ページリードのダイアグラムを示している。先ず、アドレスを指定し、図3に示す2ページを選択する。図1(b)(c)に示すように、第2ページの書き込み前と後で、閾値電圧の分布が変わっている。したがって、先ず、ワード線の電位を“a”として読み出し動作を行ないフラグセルのデータが“0”か“1”であるかを判別する(S31、S32)。この判別において、フラグセルが複数セルある場合は、これらの多数決により、“0”か“1”を判断する。

【0124】

フラグセルから読み出されたデータが“1”(メモリセルのデータが“0”)の場合、第2ページの書き込みは行われていない。このため、セルの閾値電圧の分布は、図1(a)又は(b)となっている。このようなセルのデータを判断するには、ワード線の電位を“a”でリード動作をすればよい。しかし、ステップS31において、ワード線電位“a”で読み出し動作をした結果は、既にデータ記憶回路に読み出されている。このため、データ記憶回路に記憶されているデータを外部に出力すれば良い(S33)。

【0125】

一方、フラグセルから読み出されたデータが“0”(メモリセルのデータが“1”)の場合、第2ページの書き込みが行われているため、セルの閾値電圧分布は、図1(c)に示すようになっている。これらのメモリのデータを判断するには、ワード線の電位を“b

”でリード動作をしなくてはならない。したがって、ワード線の電位を“b”として読み出し動作を行ない(S34)、この後、データ記憶回路に読み出されたデータが外部に出力される(S33)。

【0126】

(リード動作: 第1ページリード)

上記のように、第1ページのリード動作は、選択ワード線にリード電位“a”又は“b”を供給して読み出し動作が実行される。

【0127】

先ず、選択されているブロック内の非選択ワード線及びセレクト線SG1にVreadを供給し、図6に示すデータ記憶回路の信号BLPREを $1V + V_{th}$ 、BLCLAMPを $V_{dd} + V_{th}$ として、ビット線をプリチャージする。この後、セルのソース側のセレクト線SG2をハイレベルにする。閾値電圧が電位“a”又は“b”より高いセルはオフするため、ビット線はハイレベルのままである。また、閾値電圧が電位“a”又は“b”より低いセルはオンするため、ビット線がVssとなる。

【0128】

次に、データ記憶回路の信号BLPREを $V_{dd} + V_{th}$ としてトランジスタ61uをオンとすることにより、TDCのノードN3を V_{dd} にプリチャージする。この後、信号BLCLAMPを $0.9V + V_{th}$ としてトランジスタ61tをさせる。TDCのノードN3はビット線がローレベルの場合ローレベルとなり、ビット線がハイレベルの場合ハイレベルとなる。この後、PDCのデータをSDCに移動させる。

【0129】

(第2ページリード)

図14は、第2ページリードのダイアグラムを示している。第2ページリードでは、先ず、アドレスを指定し、図3に示す2ページを選択する。図1(b)(c)に示すように、第2ページの書き込み前と後で、閾値電圧の分布が変わっている。しかし、第2ページの書き込み後は、図1(c)に示すような分布になっている。このため、先ず、ワード線の電位を“c”として読み出しを行ない(S35)。この後、ワード線電位を“a”として読み出し動作を行なう(S36)。セルの閾値電圧がワード線電位“a”より低いか、ワード線電位“c”より高い場合、データを“1”とし、セルの閾値電圧がワード線電位“a”より高くワード線電位“c”より低い場合、データを“0”とする。第2ページ書き込み前において、第2ページのデータは“1”が出力されるべきである。しかし、図1(a)に示す閾値電圧分布になっている。このため、第2ページの書き込み後と同じ読み出し動作をすると出力データが“0”となることもある。したがって、フラグセルのデータが“0”か“1”であるかを判別する(S37)。この結果、フラグセルのデータが“1”で、第2ページの書き込みが行なわれていない場合、出力データを“1”に固定する(S38)。出力を“1”にするには、データ記憶回路の信号PRSTをハイレベルとし、SDCを“1”に設定する。あるいは、図2に示すデータ入出力バッファよりデータ“1”しか出力させないようにする。また、フラグセルのデータが“0”の場合、読み出したデータを出力する(S39)。

【0130】

図15は、第2ページリードの変形例を示している。この場合、先ず、ワード線の電位を“a”としてフラグセルのデータを読み出し、フラグセルのデータを判別する(S40、S41)。フラグセルのデータが“1”の場合、第2ページの書き込みが行なわれていない。このため、出力データを“1”に固定する(S42)。また、フラグセルのデータが“0”の場合、第2ページの書き込みが行なわれている。このため、ワード線の電位を“c”として読み出し動作を行ない、読み出したデータを出力する(S43、S44)。このような構成としても第2ページのリード動作を行なうことができる。

【0131】

しかし、第1の実施形態では、図14に示すように、先ず、ワード線の電位を“c”として読み出し動作を行ない。この後、ワード線の電位を“a”として読み出し動作を行な

い、フラグセルのデータが“0”の場合、データ記憶回路に読み出されているデータを外部に出力する。また、フラグセルのデータが“1”の場合、第2ページの書き込みは行われていないため、データを外部に出力するとき、データ記憶回路のデータを出力せず、常にデータ“1”を出力するようにする。

【0132】

第2ページリードは、具体的には、次のような動作を実行する。

【0133】

(リード動作：第2ページリード第1回目)

第2ページのリード動作の1回目は、選択ワード線にリード電位“c”を供給し、読み出し動作をする(S35)。リード動作は、前述した第1ページリードと全く同じであり、読み出したセルのデータをPDCに記憶させる。

【0134】

(リード動作：第2ページリード第2回目)

第2ページのリード動作の2回目は選択ワード線にリード電位“a”を供給し、読み出し動作をする(S36)。

【0135】

先ず、選択されているブロック内の非選択ワード線及びセレクト線SG1にVreadを供給する。この状態において、データ記憶回路の信号BLPRE、BLCCLAMPを $1V + V_{th}$ とし、ビット線をプリチャージする。この後、セルのソース側のセレクト線SG2をハイレベルにする。閾値電圧が電位“a”より高いセルはオフするためビット線はハイレベルのままである。また、閾値電圧が電圧“a”より低いセルはオンするためビット線がVssとなる。

【0136】

次に、データ記憶回路の信号BLPREを $V_{dd} + V_{th}$ とすることにより、TDCのノードN3を V_{dd} にプリチャージした後、信号BLCCLAMPを $V_{dd} + V_{th}$ としてトランジスタ61tをオンさせる。TDCのノードN3はビット線がローレベルの場合ローレベルとなり、ビット線がハイレベルの場合ハイレベルとなる。この後、DTG=ハイレベル、REG=ハイレベル、VREG=ローレベルとする。すると、PDCがハイレベルとなっている場合のみTDCのノードN3はローレベルになる。この動作の後、PDCのデータをSDCに移動させる。この結果、セルの閾値電圧が電位“a”より低いか又は電位“c”より高い場合、出力データが“1”となり、電位“a”より高く電位“c”より低い場合、出力データは“0”となる。

【0137】

(イレーズ)

消去動作は、先ず、アドレスを指定し、図3の破線で示すブロックを選択する。消去動作を行なうと、メモリセルのデータは“0”となり、第1ページ、第2ページ、第3ページの何れでリードを行なってもデータ“1”が出力される。

【0138】

上記第1の実施形態によれば、本来の閾値電圧より低い電位により、第1ページのデータをメモリセルに書き込み、第2ページのデータを書き込む前に隣接するメモリセルに第1ページのデータを書き込み、隣接するメモリセルの書き込み後、第2ページのデータをメモリセルに書き込み、記憶データに対応した本来の閾値電圧に設定している。このため、隣接するメモリセルのFG-FG間容量の影響を考慮して、第1ページのデータをメモリセルに書き込んでいるため、多値のデータに対応する閾値電圧を正確に設定することができる。

【0139】

また、第2ページのデータを書き込む際、フラグセルにデータを書き込み、各ページのデータを読み出す際、フラグセルに記憶されたデータに応じて外部に出力されるデータを制御している。したがって、各ページのデータを確実に出力することができる。

【0140】

(第2の実施形態)

図16は、第1の実施形態を変形した第2の実施形態を示している。第1の実施形態において、第2ページの書き込み時、フラグセルのメモリセルデータを“0”から“1”とした。しかし、フラグセルのメモリセルデータを“0”から“2”とすることもできる。このような構成とした場合、第1ページのリード動作を図16に示すように変形できる。

【0141】

すなわち、まず、ワード線の電位を“b”に設定してリード動作を行ないフラグセルのデータを判別する(S45、S46)。フラグセルにデータが書き込まれている場合、データ記憶回路に読み出されたデータをそのまま出力し(S47)、フラグセルにデータが書き込まれていない場合、ワード線の電位を“a”に設定してリード動作する(S48)。これにより読み出されたデータが出力される(S47)。

【0142】

上記第2の実施形態によれば、第2ページの書き込みにおいて、フラグセルにメモリセルデータ“2”を書き込むことにより、メモリセルデータ“2”が書き込まれたフラグセルと同時に選択されるメモリセルの第1ページのデータを読み出す際、1サイクルでデータを読み出すことができる。したがって、リード回数を削減でき、高速な読み出しが可能となる。

【0143】

第2ページの書き込みにおいて、メモリセルのデータはデータ“0”からデータ“1”への変化と、データ“2”からデータ“3”への変化しかない。しかし、第2ページの書き込みにおいて、フラグセルのデータをデータ“0”からデータ“2”に変化させると、フラグセルの隣のメモリセルの閾値電圧の分布が広がってしまう。これを防止するため、例えばフラグセルとメモリセルの間にダミーのビット線及びメモリセルを配置する。

【0144】

図59において、一対のダミービット線DMBL及びNANDセルを構成するダミーセルDMCは、フラグセルFCとビット線BL_{i+1}及びこのビット線に接続された複数のメモリセルとの間に配置される。一対のダミービット線DMBLはダミーデータ記憶回路10bに接続される。このダミーデータ記憶回路10bにはアドレス信号YAD1が供給される。このような構成とすることにより、フラグセルの書き込みの影響により、メモリセルの閾値電圧の分布が広がることを防止できる。

【0145】

また、図59に示すように、一対のダミービット線DMBL及びダミーセルDMCをフラグセルFCとリダンダンシセルアレイRDの間に配置してもよい。一対のダミービット線DMBLはダミーデータ記憶回路10cに接続される。このダミーデータ記憶回路10cにはアドレス信号YAD2が供給される。このような構成とすることにより、フラグセルの書き込みによるリダンダンシセルの閾値電圧の分布が広がることを防止できる。

【0146】

(第3の実施形態)

図17は、第3の実施形態のプログラム動作を示すダイアグラムである。

【0147】

上記第1、第2の実施形態において、第2ページの書き込みは、メモリセルに対してデータ“1”、“2”、“3”を同時に書き込んでいる。これに対して、第3の実施形態は、メモリセルにデータ“2”のみ先に書き込み、書き込み終了後、メモリセルにデータ“1”、“3”を同時に書き込んでいる。第3の実施形態の書き込み動作は次のように実行される。

【0148】

第1番目の書き込み：第1メモリセルに第1ページを書きこむ(S51)。

【0149】

第2番目の書き込み：第2メモリセルに第1ページを書きこむ(S52)。

【0150】

第3番目の書き込み：第3メモリセルに第1ページを書きこむ（S53）。

【0151】

第4番目の書き込み：第4メモリセルの第1ページを書き込む（S54）。この後、第5番目の書き込みのためのデータをロードする前に、第1メモリセルと第2メモリセルに本来の閾値電圧でデータ“2”を順次書き込む（S55、S56）。

【0152】

第5番目の書き込み：第1メモリセルに第2ページを書き込む（S57）。

【0153】

第6番目の書き込み：第2メモリセルに第2ページを書き込む（S58）。

【0154】

第7番目の書き込み：第5メモリセルに第1ページを書きこむ（S59）。

【0155】

第8番目の書き込み：第6メモリセルの第1ページを書き込む（S60）。この後、第9番目の書き込みのためのデータをロードする前に、第3メモリセルと第4メモリセルに本来の閾値電圧でデータ“2”を書き込む（S61、S62）。

【0156】

図18は、上記第4番目の書き込み動作を具体的に示すダイアグラムであり、図19は、上記第5番目の書き込み動作を具体的に示すダイアグラムであり、図20は、上記第6番目の書き込み動作を具体的に示すダイアグラムである。

【0157】

図18において、第4メモリセルに第1ページを書き込む動作は、図8に示す動作と同様である。この後、第1メモリセルに本来の閾値電圧によりデータ“2”が書き込まれる。すなわち、先ず、ワード線の電圧を“a”としてメモリセルからデータが読み出され（S55-1）、この読み出されたデータに従って、TDC、DDC、PDCが設定される（S55-2）。この後、ワード線にデータ“2”の本来の閾値電圧“b'”を供給してベリファイを行なう（S55-3）。この後、プログラム動作を行ないメモリセルの閾値電圧を変化させる（S55-4）。次いで、閾値電圧“b'”によりメモリセルの閾値電圧をベリファイし（S55-5）、全てのPDCが“1”となるまで、上記プログラム、ベリファイが繰り返される（S55-6～S55-4）。

【0158】

この後、第1のメモリセルに対する上記書き込みと同様として、第2メモリセルに本来の閾値電圧によりデータ“2”が書き込まれる（S56-1～S56-6）。

【0159】

図19に示す第1メモリセルに第2ページを書き込む動作（S57-1～S57-8）は、図9に示す第1の実施形態の第2ページ書き込み動作と次の点が異なっている。図9において、データキャッシュ設定後、閾値電圧“b'”によりメモリセルのデータをベリファイした。これに対して、図19に示す書き込み動作において、データ“2”は既書き込まれているため、閾値電圧“b'”によるベリファイは省略されている。したがって、データキャッシュ設定後、第1メモリセルに第2ページのプログラムが実行される（S57-4、S57-5）。また、プログラム後のベリファイにおいても、閾値電圧“b'”によるベリファイは省略されている。したがって、閾値電圧“a'”“c'”によるベリファイのみが行われる（S57-6、S57-7）。

【0160】

図20に示す第2メモリセルに第2ページを書き込む動作は、図19に示す第1メモリセルに第2ページを書き込む動作と同様であるため、説明は省略する。

【0161】

上記第3の実施形態によれば、第1ページの書き込み後、第2ページの書き込み以前に本来の閾値電圧でデータ“2”を書き込んでいる。このため、第1の実施形態において、第2ページのプログラム時間は、第1ページのプログラム時間よりも長い。第3の実施形態の場合、第1ページと第2ページのプログラム時間をほぼ同じにすることができる。

【0162】

(第4の実施形態)

図21、図22は、第3の実施形態を変形した本発明の第4の実施形態を示している。第4の実施形態の書き込み動作は、図21に示すように実行される。

【0163】

第1番目の書き込み：第1メモリセルに第1ページを書きこむ(S71)。

【0164】

第2番目の書き込み：第2メモリセルに第1ページを書きこむ(S72)。

【0165】

第3番目の書き込み：第3メモリセルに第1ページを書きこむ(S73)。この後、第1メモリに本来の閾値電圧でデータ“2”を書き込む(S74)。

【0166】

第4番目の書き込み：第4メモリセルに第1ページを書きこむ(S75)。この後、第2メモリに本来の閾値電圧でデータ“2”を書き込む(S76)。

【0167】

第5番目の書き込み：第1メモリセルに第2ページを書き込む(S77)。

【0168】

第6番目の書き込み：第2メモリセルに第2ページを書き込む(S78)。

【0169】

第7番目の書き込み：第5メモリセルに第1ページを書きこむ(S79)。この後、第3メモリに本来の閾値電圧でデータ“2”を書き込む(S80)。

【0170】

第8番目の書き込み：第6メモリセルに第1ページを書きこむ(S81)。この後、第4メモリに本来の閾値電圧でデータ“2”を書き込む(S82)。

【0171】

図22は、上記第3番目の書き込み動作を具体的に示すダイアグラムである。

【0172】

図22に示す第3メモリセルに第1ページを書き込む動作(S73)、及び第1メモリセルに本来の閾値電圧でデータ“2”を書き込む動作(S74)は、図18に示す第4メモリセルに第1ページを書き込む動作(S54)、及び第1メモリセルに本来の閾値電圧でデータ“2”を書き込む動作(S55)と同様であるため、説明は省略する。

【0173】

また、上記第1メモリセルに第2ページを書き込む動作(S77)は、図19に示す書き込み動作と同様である。

【0174】

上記第4の実施形態によれば、第1ページの書き込み後、第2ページの書き込み以前に本来の閾値電圧でデータ“2”を書き込んでいる。このため、第3の実施形態と同様に、第1ページと第2ページのプログラム時間をほぼ同じにすることができる。

【0175】

(第5の実施形態)

近年、複数ビットを記憶する多値フラッシュメモリの書き込み動作において、閾値電圧の分布を狭くするため、パスライト方式(パスライト方式)が提案されている。

【0176】

図23は、従来のパスライト方式の書き込みシーケンスを示している。

【0177】

このパスライト方式は、第1ページ書き込み(図23(a))及び第2ページ書き込み(図23(b))の第1のプログラムシーケンスにおいて、メモリセルの閾値電圧を本来の閾値電圧より低いベリファイ電位“a*”，“b*”として第1ページの書き込み及びベリファイ動作を行なう。このプログラムベリファイがパスした後、第1ページ書き込み及び第2ページ書き込みの第2ページのプログラムシーケンスにおいて、ベリファイ

電位を本来の閾値電圧“a'”，“b'”，“c'”として、書き込み及びベリファイ動作を行なう。このパスライト方式は、一旦書き込みが行なわれたセルの閾値電圧を若干高い閾値電圧まで再度書き込みする。再書き込み時の閾値電圧の変動率は小さくなる。このため、閾値電圧分布が小さくなる。

【0178】

一般に、NAND型フラッシュメモリの場合、同一ワード線に接続された複数のセルのうち、半分のセルを一度に書き込む。このため、書き込みベリファイのループの最初のベリファイ時は、閾値電圧の低いセルが多く、ソース線に流れ込む電流が多いためソース線が浮いた状態であり、最初に書き込みが完了するセルはこの状態で閾値電圧が決まる。この後、他のセルの書き込みが終了すると、ソース線の電位が浮いた状態から戻る。このため、最初に書き込みが完了したセルは閾値電圧が低くなったようになり、閾値電圧分布が広がる問題がある。しかし、パスライト方式の場合、閾値電圧の分布が広がることを防止できる。

【0179】

一般に、書き込み電圧 V_{pgm} はプログラムベリファイ毎に ΔV_{pgm} ずつ増加させる。パスライト方式では、第1回目の書き込みの書き込み電圧 ΔV_{pgm} を、例えば0.4Vステップと大きくする。第1回目の書き込みシーケンスが終了した後、書き込み電圧 V_{pgm} を初期の電圧値に戻し、第2回目の書き込みでも書き込み電圧 V_{pgm} は、プログラムベリファイ毎に ΔV_{pgm} ずつ増加させる。しかし、第2回目の書き込み電圧は、第1回目の書き込み電圧 ΔV_{pgm} より小さい電圧、例えば0.2Vステップとして、書き込み動作を行なう。このように書き込み電圧を設定することにより、高速に書き込むことができる。

【0180】

上記第1乃至第4の実施形態において、メモリセルにデータ“2”、“3”を書き込む場合、第1ページの書き込みでメモリセルのデータ“2”への書き込みが本来の閾値電圧“b'”より低い閾値電圧“b*”で行なわれ、この後、第2ページ目の書き込みで閾値電圧“b'”、閾値電圧“c'”に書き込んでいる。このため、上記パスライトも行なわれている。

【0181】

図23に示す従来のパスライト方式の場合、第1ページの書き込み中に閾値電圧“a*”にする第1回目の書き込みベリファイと、閾値電圧“a'”にする第2回目の書き込みベリファイの2回のシーケンスがある。さらに、第2ページの書き込み中にも閾値電圧“b*”にする第1回目の書き込みベリファイと、閾値電圧“b*’”、“c*’”にする第2回目の書き込みベリファイの2回のシーケンスがある。

【0182】

これに対して、第1乃至第4の実施形態の場合、第1ページの書き込み中に閾値電圧“b*’”にする書き込みベリファイがあり、第2ページの書き込み中に閾値電圧“b'”、“c'”にする書き込みベリファイがあるのみである。したがって、メモリセルにデータ“1”を書き込む際、上記のパスライトが行なわれていない。そこで、第5の実施形態において、第2ページ次のようなアルゴリズムで書き込む。

【0183】

図24は、第5の実施形態に適用されるデータ“1”の書き込みアルゴリズムを示している。

【0184】

先ず、図25に示すように、データキャッシュSDC、DDC、TDCをセットする。この状態において、本来の閾値電圧より低いベリファイ電位“a*’”を設定して、PDCのデータにより書き込み動作を実行する(S90～S95)。全てのPDCがハイレベルになるまで、プログラムをベリファイを繰り返す(S94～S96)。この後、図10(b)に示すようにデータキャッシュをセットし(S97)、ベリファイ電位を本来の閾値電圧“a'”にする書き込み動作をする。この2回目の書き込み動作は、閾値電圧“b

’ ”、閾値電圧 “c’ ” への書き込みと同時に行ない。全ての PDC がハイレベルになるまで、プログラムをベリファイを繰り返す (S 98 ~ S 104)。

【0185】

上記第5の実施形態によれば、メモリセルデータ “1” の書き込みについてもパスライト方式を適用できるため、全てのデータをパスライト方式により書き込むことができる。

【0186】

(第6の実施形態)

図26は、第5の実施形態を変形した本発明の第6の実施形態を示している。すなわち、第6の実施形態は、第2ページの書き込み順序を変更している。図27(a)に示すように、データキャッシュをセットした後、本来の閾値電圧より低いベリファイ電位 “a*’ ” と閾値電圧 “b’ ”、閾値電圧 “c’ ” へ書き込み動作を同時に行ない。全ての PDC がハイレベルになるまで、プログラムをベリファイを繰り返す (S 110 ~ S 119)。この後、図27(b)に示すようにSDCのデータを反転してPDCに転送する (S 120)。この後、データ “1” のセルのみベリファイ電位を本来の閾値電圧 “a’ ” として書き込みし、全ての PDC がハイレベルになるまで、プログラムとベリファイを繰り返す (S 121 ~ S 124)。

【0187】

上記第6の実施形態によっても第5の実施形態と同様の効果を得ることができる。

【0188】

(第7の実施形態)

図28、図29は、第5の実施形態を変形した第7の実施形態を示している。上記第5の実施形態において、第2ページの書き込みの時は、先ずベリファイ電位 “a*’ ” まで書き込み、この後、ベリファイ電位 “a’ ” と閾値電圧 “b’ ”、及び閾値電圧 “c’ ” の書き込み動作を同時に行なっていた。

【0189】

これに対して、第7の実施形態において、閾値電圧がベリファイ電位 “a*’ ” を超えたセルに対しては、書き込みの時、ビット線に中間電位を供給して書き込む。このようにすることにより、書き込み時の閾値電圧の変動率を小さくすることで、閾値電圧の分布を小さくすることができる。

【0190】

図28は、第7の実施形態における書き込みシーケンスを示し、図29(a)乃至33(b)はデータキャッシュの動きを示している。

【0191】

(a) 外部より入力されるデータはSDCに記憶され、内部データリードにより読み出されがデータは、PDCに記憶される (S 131 ~ S 134、図29(a))。

【0192】

(b) 図29(b)に示すようにデータキャッシュを設定する。

【0193】

(c) $V_{REG} = V_{dd}$ 、 $REG = V_{ss}$ とすると、DDCが “1” の場合、ビット線が V_{dd} にプリチャージされ、DDCが “0” の場合プリチャージされない (図30(a))。

【0194】

(d) $BLC1 = \text{中間電位} + V_{th} (= 2V + V_{th})$ (V_{clamp}) とすると、PDCが “0” の場合、ビット線が V_{ss} となる。また、PDCが “1” の場合であって、プリチャージがされていると、ビット線は V_{dd} のままとなり、プリチャージされていないと、ビット線は中間電位 ($2V$) となる (図30(b))。

【0195】

ここで、選択ワード線を V_{pgm} 、非選択ワード線を V_{pass} とするとビット線が V_{dd} の場合、書き込みが行なわれず。ビット線が V_{ss} の場合、書き込みが起こり、ビット線が中間電位 ($2V$) の場合、少しだけ書き込まれる (S 135)。

【0196】

(e) 書き込み動作終了後、ワード線を立ち下げている間にPDCのデータをDDCに転送し、DDCのデータを反転してPDCに転送する(図30(c))。

【0197】

(f) 図31(a)に示すように、ベリファイ電位“a'”の動作(S136)は、BLC1=ハイレベル(例えば $V_{dd}+V_{th}$)、BLCCLAMPに所定の電位、例えば $1V+V_{th}$ を供給すると、PDCが“1”になっている場合(つまりメモリセルにデータ“1”に書き込んでいる場合)のみ、ビット線がプリチャージされ、PDCが“0”になっている場合、ビット線はプリチャージされない(V_{ss} のまま)となる。次に、ワード線の電位をベリファイ電位“a*”としビット線を放電する。また、ビット線の放電中にPDCのデータを反転させておく。

【0198】

(g) $V_{PRE}=V_{dd}$ 、 $BL_{PRE}=V_{sg}$ としてTDCを V_{dd} に充電する。この後、信号BLCCLAMPを $0.9V+V_{th}$ としてトランジスタ61tをさせる。ビット線が V_{ss} の場合、TDCは V_{ss} になり、ビット線にプリチャージ電位が残っている場合、TDCは V_{dd} になる。TDCが V_{dd} になるのは、メモリセルにデータ“1”を書き込んでいて、閾値電圧がベリファイ電位“a*”に達した時である。メモリセルにデータ“1”を書き込んでいない場合、ビット線がプリチャージされていないため、TDCは V_{ss} となる。メモリセルにデータ“1”を書き込んでいて、閾値電圧がベリファイ電位“a*”に達しない場合もTDCは V_{ss} となる。

【0199】

ここで、 V_{REG} =ハイレベル、 REG =ハイレベルとすると、DDCのデータが“1”の場合、強制的にTDCがハイレベルになる。したがって、TDCが V_{dd} になるのは、メモリセルにデータ“1”を書き込んでいて、閾値電圧がベリファイ電位“a*”に達した時と、書き込み非選択の場合である。この後、 $DTG=V_{sg}$ とし、PDCのデータをDDCにコピーした後、 $BLC1=V_{sg}$ としてTDCの電位をPDCに取りこむ(図31(b))。

【0200】

(h) 次に、ワード線の電位を少し上げ、ベリファイ電位“a'”としてビット線を放電する(図32(a))。

【0201】

この後、 $V_{PRE}=V_{dd}$ 、 $BL_{PRE}=V_{sg}$ としてTDCを再び V_{dd} に充電する。次いで、信号BLCCLAMPを $0.9V+V_{th}$ としてトランジスタ61tをさせる。ビット線が V_{ss} の場合、TDCは V_{ss} になり、ビット線にプリチャージ電位が残っている場合、TDCは V_{dd} になる。TDCが V_{dd} になるのは、メモリセルにデータ“1”を書き込んでいてベリファイ電位“a'”に達した時である。メモリセルにデータ“1”を書き込んでいない場合、ビット線がプリチャージされていない。このため、TDCは V_{ss} となり、メモリセルにデータ“1”を書き込んでいて、閾値電圧がベリファイ電位“a'”に達しない場合もTDCは V_{ss} となる。

【0202】

ここで、 V_{REG} =ハイレベル、 REG =ハイレベルとすると、DDCのデータが“1”の場合(メモリセルにデータ“1”を書き込んでいない場合)、強制的にTDCがハイレベルになる。したがって、TDCが V_{dd} になるのは、メモリセルにデータ“1”を書き込んでいない場合と、メモリセルにデータ“1”を書き込んでいて、閾値電圧がベリファイ電位“a'”に達した場合である。

【0203】

この後、 $DTG=V_{sg}$ とし、PDCのデータをDDCにコピーした後、 $BLC1=V_{sg}$ としてTDCの電位をPDCに取りこむ。

【0204】

(i) DDCのデータを、PDCへ移し、PDCのデータをDDCに移す(図32(b

))。

【0205】

(j) メモリセルにデータ“1”を書き込んでいるセルであって、ベリファイ電位“a*”の書き込みが全て終了すると、PDCのデータは“1”になる(図33(a))。

【0206】

(k) メモリセルにデータ“1”を書き込んでいるセルであって、ベリファイ電位“a'”の書き込みが全て終了すると、DDCのデータが全て“1”になる(図33(b))。

。

【0207】

(l) ベリファイ電位“b'”の動作(図28、S137)は、第1の実施形態と同様に、BLC2=ハイレベル(例えば $V_{dd}+V_{th}$)、BLC LAMPに所定の電位、例えば $1V+V_{th}$ を供給する。すると、SDCが“1”になっている場合(つまり、メモリセルにデータ“1”又は“2”を書き込んでいる場合)のみ、ビット線がプリチャージされる。SDCが“0”になっている場合、ビット線はプリチャージされない(V_{ss} のまま)となる。

【0208】

次に、ワード線にベリファイ電位“b'”を供給し、ビット線を放電する。ビット線の放電中にDDCのデータをTDCに移す。次いで、PDCのデータをDDCに移し、TDCのデータをPDCに移す。この後、TDCを V_{dd} に充電した後、BLC LAMPに所定の電位、例えば $0.9V+V_{th}$ を供給する。すると、TDCがハイレベルになるのは、メモリセルにデータ“2”を書き込んでいて、閾値電圧がベリファイ電圧“b'”に達した場合のみである。 V_{REG} =ハイレベル、 $REG=V_{sg}$ とすると、DDCのデータがハイレベルの場合、強制的にTDCがハイレベルとなる。したがって、TDCが V_{dd} になるのは、メモリセルにデータ“2”を書き込んでいて、閾値電圧がベリファイ電圧“b'”に達した時と、書き込み非選択の場合である。 $DTG=V_{sg}$ とし、PDCのデータをDDCにコピーした後、BLC1= V_{sg} としてTDCの電位をPDCに取りこむ。

【0209】

(m) ベリファイ電位“c'”の動作(図28、S138)も、第1の実施形態と同様に、BLPRE=ハイレベル(例えば $V_{dd}+V_{th}$)、BLC LAMPに所定の電位、例えば $1V+V_{th}$ を供給してビット線をプリチャージする。次に、ワード線にベリファイ電位“c'”を供給し、ビット線を放電する。ビット線の放電中にDDCのデータをTDCに移す。次いで、PDCのデータをDDCに移し、TDCのデータをPDCに移す。この後、TDCを V_{dd} に充電した後、BLC LAMPに所定の電位、例えば $0.9V+V_{th}$ を与える。すると、TDCがハイレベルになるのは、メモリセルの閾値電圧がベリファイ電位“c'”に達した場合のみである。 V_{REG} =ハイレベル、 $REG=V_{sg}$ とすると、DDCのデータがハイレベルの場合強制的にTDCがハイレベルとなる。したがって、TDCが V_{dd} になるのは、メモリセルにデータ“3”を書き込んでいて、閾値電圧がベリファイ電位“c'”に達した時と、書き込み非選択の場合である。次いで、 $DTG=V_{sg}$ とし、PDCのデータをDDCにコピーした後、BLC1= V_{sg} としてTDCの電位をPDCに取りこむ。

【0210】

このようにして、全てのPDCとDDCのデータが“1”になるまで、プログラムとベリファイ動作を繰り返す(S139)。

【0211】

第7の実施形態によれば、閾値電圧がベリファイ電位“a*”を超えたセルに対しては、書き込みの時、ビット線に中間電位を供給して書き込んでいる。このため、書き込み時の閾値電圧の変動率を小さくすることができ、閾値電圧の分布を小さくすることができる。したがって、高速な書き込み動作が可能となる。

【0212】

(第8の実施形態)

図34は、第8の実施形態を示すものであり、8値（3ビット）のデータを記憶するNANDフラッシュメモリのメモリセルアレイ1及びビット線制御回路2を示している。図34に示す構成は、図3に示す4値（2ビット）の構成とほぼ同様であるため、異なる部分についてのみ説明する。

【0213】

図34において、外部アドレスにより、1本のワード線が選択されると、破線で示す、1つのセクタが選択される。1セクタは3ページにより構成される。この3ページはアドレスによつての切り替えられる。すなわち、1つのメモリセルに3ビットのデータを記憶することができるため、3ビットの切り替えはアドレス（第1ページ、第2ページ、第3ページ）によつて行なう。また、1セクタは2つのフラグセルFC1、FC2を有している。このため、1本のワード線が選択されると、2つのフラグセルFC1、FC2が同時に選択される。各フラグセルFC1、FC2はビット線を介してフラグ用データ記憶回路10a、10bに接続されている。フラグセルFC1は、第2ページの書き込みが行なわれていることを記憶し、フラグセルFC2は、第3ページの書き込みが行なわれていることを記憶する。

【0214】

しかし、1つのメモリセルに3ビットのデータを記憶できるため、2つのフラグセルを用いず、1つのフラグセルにより、第2ページと第3ページの書き込みが行なわれていることを記憶することも可能である。

【0215】

また、信頼性を向上させるため、フラグセルFC1及びFC2を、それぞれ複数個具備し、これら複数セルに同一データを記憶し、読み出し時に、複数のフラグセルから読み出したデータを多数決により決めることもできる。

【0216】

第8の実施形態の動作について説明する。

【0217】

消去動作は、4値の場合と同じである。

【0218】

図35、図36は、メモリセルのデータとメモリセルの閾値電圧の関係を示している。図35（a）に示すように、消去動作を行なうとメモリセルのデータは“0”となる。第1ページの書き込みにより、メモリセルのデータはデータ“0”とデータ“4”になる（図35（b））。第2ページの書き込み後、メモリセルのデータはデータ“0”、“2”、“4”、“6”となる（図35（c）、図36（a））。第3ページの書き込み後、メモリセルのデータはデータ“0”～“7”となる（図36（b））。本実施形態において、メモリセルのデータは閾値電圧の低いほうから高い方へと、定義されている。

【0219】

図37（a）（b）は、本実施形態における2つの書き込み順序の例を示している。ブロック内において、ソース線に近いメモリセルからページごとに書き込み動作が行なわれる。図37（a）（b）では、説明の便宜上、ワード線を4本としている。図37（a）に示す書き込み順序は、図7に示す書き込み順序と類似している。これに対して、図37（b）に示す書き込み順序は、図37（a）と若干相違している。すなわち、第1ページの書き込み後、第2ページは隣接のセルを初めに書くのではなく、同じセルに第2ページまで書き込み、この後、第3ページの書き込みを行なう前に、隣接セルの第2ページまで、書き込みを行なった後、第3ページの書き込みを行なっている。このように、第3ページの隣接セルの影響を考慮した書き込みをすることも可能である。

【0220】

第3ページのワード線のリード電位は、本来“a”，“b”，“c”，“d”，“e”，“f”，“g”とし、ベリファイ電位を“a'”，“b'”，“c'”，“d'”，“e'”，“f'”，“g'”とする。第2ページのリード電位は、本来のリード電位より低い値“b*”（＝“a”），“d*”，“f*”とし、第2ページでのベリファイ電位

はこれらより少し高い値、“b*’”，“d*’”，“f*’”とする。第1ページのリード電位は、本来のリード電位より低い電位“d**”（＝“a”）とし、第1ページでのベリファイ電位はこれらより少し高い電位“d**’”とする。

【0221】

（プログラム及びプログラムベリファイ）

プログラム動作は、先ず、アドレスを指定し、図34に示す3ページが選択する。本メモリは、3ページのうち、第1ページ、第2ページ、第3ページの順でしか、プログラム動作はできない。第1ページ及び第2ページのプログラムは、4値の場合と同様である。

【0222】

図35（a）～（c）に示す4値のメモリセルのデータとメモリセルの閾値電圧は、図1（a）～（c）に対応している。また、プログラム及びプログラムベリファイのブロックダイアグラムは、図8、図9と同様であるため省略する。但し、メモリセルのデータの定義及びワード線の電位は、4値の場合、“0”、“1”、“2”、“3”及び“a”、“b”、“c”であるのに対し、8値の場合、“0”、“2”、“4”、“6”及び“b”、“d”、“f”となっている。

【0223】

（第1ページプログラム）

第1ページのプログラムのブロックダイアグラムは、図8と同様である。しかし、前述したように、ワード線電位の定義が変更されている。

【0224】

（隣接セルプログラム）

図37（a）に示すように、メモリセル1の第1ページに1ビットのデータの書き込み後、メモリセル1とワード方向に隣接したメモリセル2の第1ページが書き込まれる。次いで、メモリセル1とビット方向に隣接したメモリセル3の第1ページの書き込み、メモリセル1と対角に隣接したメモリセル4の第1ページの書き込みが行なわれる。これらの書き込み動作が行なわれると、書き込みデータによっては、FG-FG間容量によって、メモリセル1の閾値電圧が上がる。このため、メモリセル1のデータ“0”とデータ“4”の閾値電圧分布は図35（b）のように閾値電圧の高いほうに広がる。

【0225】

この後、再びメモリセル1の第2ページに1ビットのデータが書き込まれる。

【0226】

（第2ページプログラム）

第2ページのプログラムのブロックダイアグラムは、パスライト方式の書き込みをした、図9と同様であるが、前述したように、ワード線電位の定義が変更されている。また、データロード、内部リード後のデータキャッシュ内のデータ及びデータキャッシュ設定後のデータキャッシュ内のデータは、図10（a）（b）と同様である。

【0227】

（隣接セルプログラム）

図37（a）に示すように、メモリセル1の第1ページ及び第2ページにデータの書き込み後、メモリセル2の第2ページ、メモリセル5、6の第1ページ及びメモリセル3、4の第2ページにデータが書き込まれる。これらの書き込み動作が行なわれると、書き込みデータによっては、FG-FG間容量によって、メモリセル1の閾値電圧が上がる。このため、メモリセル1のデータ“2”、データ“4”、データ“6”の閾値電圧分布は図36（a）のように広がる。

【0228】

この後、再びメモリセル1の第3ページに1ビットのデータが書き込まれる。

【0229】

（第3ページプログラム）

図38は、第3ページのプログラムのブロックダイアグラムを示している。第3ページのプログラム動作も、先ずアドレスを指定し、図34に示す3ページが選択される。

【0230】

次に、書き込みデータを外部より入力し全てのデータ記憶回路内のSDCに記憶する(S141)。外部よりデータ“1”(書き込みを行なわない)が入力されると、図6に示すデータ記憶回路10のSDCは、ハイレベルになり、データ“0”(書き込みを行なう)が入力されるとローレベルとなる。この後、書き込みコマンドが入力されると、第3ページのプログラムであるので、フラグセルFC1、FC2にデータの書き込みを行なうため、フラグセル用のデータ記憶回路10a、10b内のSDCにデータ“0”が入力される。

【0231】

第3ページのプログラムは、図36(b)に示すように、メモリセルのデータが“0”の場合で、外部から入力されるデータが“1”の場合、メモリセルのデータを“0”のままとし、外部から入力されるデータが“0”の場合、メモリセルのデータを“1”にする。

【0232】

メモリセルのデータが“2”の場合で、外部から入力されるデータが“0”の場合、メモリセルのデータを“2”のままである。しかし、第2ページの書き込み時において、メモリセルのデータが“2”に達したかどうかをベリファイする際、通常より低いベリファイ電位“b*”を用いた。このため、データ“2”を記憶するメモリセルは、本来のベリファイ電位である“b’”の電位まで書き込む。メモリセルのデータが“2”の場合で、外部から入力されるデータが“1”の場合、メモリセルのデータを“3”にする。

【0233】

メモリセルのデータが“4”の場合で、外部から入力されるデータが“1”の場合、メモリセルのデータは“4”のままである。しかし、第2ページの書き込み時において、メモリセルのデータが“4”に達したかどうかをベリファイする際、通常より低いベリファイ電位“d*”を用いた。このため、データ“4”を記憶するメモリセルは、本来のベリファイ電位である“d’”の電位まで書き込む。メモリセルのデータが“4”の場合で、外部から入力されるデータが“0”の場合、メモリセルのデータを“5”にする。

【0234】

メモリセルのデータが“6”の場合で、外部から入力されるデータが“0”の場合、メモリセルのデータを“6”のままである。しかし、第2ページの書き込み時において、メモリセルのデータが“6”に達したかどうかをベリファイする際、通常より低いベリファイ電位“f*”を用いた。このため、データ“6”を記憶するメモリセルは、本来のベリファイ電位である“f’”の電位まで書き込む。メモリセルのデータが“6”の場合で、外部から入力されるデータが“1”の場合、メモリセルのデータを“7”にする。

【0235】

(第3ページ第1回目プログラム)

第3ページのプログラムは、メモリセルにデータ“1”～“7”を書き込む。これらのデータを同時にプログラムすることも可能であるが、本実施形態では、先ず、メモリセルにデータ“4”～“7”の4つのデータを書き込む。パスライト方式プログラムの場合、データ“1”を書き込むメモリセルには、全く書き込みが行なわれていない。このため、この後、データ“1”を書き込むメモリセルにラフに書き込んでおく。この後、メモリセルデータ“1”～“3”の書き込みを行なう。以下、具体的に説明する。

【0236】

(内部データリード1及びデータキャッシュ設定1)(S142～S144)

先ず、セルへの書き込みの前に、第2ページのメモリセルのデータが“4”又は“6”か、“0”又は“2”であるかの判断と、メモリセルのデータが“6”か、データが“0”、“2”、“4”のいずれであるかを判断する。このため、ワード線の電位を“d*”、“f*”に順次設定し、内部リード動作を行なう(S142、S143)。

【0237】

図39(a)は内部リード後のデータキャッシュの状態を示している。この後、データ

キャッシュを操作することにより、図39 (b) に示すように、データキャッシュを設定する (S144)。

【0238】

図39 (b) において、メモリセルのデータを“0”～“3”にする場合、PDCはハイレベル。メモリセルのデータを“4”とする場合、PDCはローレベル、DDCはローレベル、SDCはハイレベルに設定する。メモリセルのデータを“5”とする場合、PDCはローレベル、DDCはハイレベル、SDCはハイレベルに設定する。メモリセルのデータを“6”とする場合、PDCはローレベル、DDCはハイレベル、SDCはローレベルに設定する。メモリセルのデータを“7”とする場合、PDC、DDC、SDCをいずれもローレベルに設定する。

【0239】

(第3ページベリファイ：データ“4”のベリファイ) (S145)

メモリセルにデータ“4”を書き込むセルは、第2ページで本来のベリファイ電位“d”より低いベリファイ電位“d*”まで書き込まれている。その後、隣接セルの書き込みにより、データ“4”が書き込まれたセルの閾値電圧が上昇している場合もあり、本来のベリファイ電位“d”に達しているセルもある。このため、先ず、データ“4”のベリファイを行なう。

【0240】

メモリセルの閾値電圧がデータ“4”に達したかどうかを判別するプログラムベリファイ動作は、選択されているワード線にリードの時の電位“d”より少し高い電位“d*”を供給する。

【0241】

先ず、選択されているブロック内の非選択ワード線及びセレクト線SG1にVreadを供給し、図6に示すデータ記憶回路10の信号BLCLAMPを例えば $1V + V_{th}$ とし、BLC2を所定の電圧、例えば $V_{dd} + V_{th}$ として、ビット線をプリチャージする。すると、メモリセルにデータ“7”、“6”を書き込む時、ビット線はプリチャージされず、メモリセルにデータ“0”～“5”を書き込む時のみビット線がプリチャージされる。

【0242】

次に、信号VREG=Vss、信号REG=ハイレベルとすると、メモリセルにデータ“6”、“5”を書き込む時は、プリチャージしていた電位がVssになる。つまり、ビット線がプリチャージされるのは、メモリセルにデータ“0”、“3”、“4”が書き込まれる時のみである。次に、セルのソース側のセレクト線SG2をハイレベルにする。閾値電圧が“d*”より高いセルはオフするためビット線はハイレベルのままであり、閾値電圧が“d*”より低いとセルがオンするためビット線はVssとなる。ビット線が放電中、TDCのノードN3を一旦Vssとし、信号REGをハイレベルとしてトランジスタ61Qをオンさせ、DDCのデータをTDCに移す。次に、DTGを一旦オンさせPDCのデータをDDCに移す。この後、TDCのデータをPDCに移す。

【0243】

次に、信号BLPREを所定の電圧、例えば $V_{dd} + V_{th}$ とすることにより、TDCのノードN3をVddにプリチャージする。この後、信号BLCLAMPを $0.9V + V_{th}$ としてトランジスタ61tをさせる。TDCのノードN3はビット線がローレベルの場合ローレベルとなり、ビット線がハイレベルの場合ハイレベルとなる。ここで、書き込みを行なう場合、DDCにローレベルが記憶され、書き込みを行なわない場合、DDCにハイレベルが記憶されている。このため、信号VREGをVddとし、信号REGをハイレベルにすると、書き込みを行なわない場合のみTDCのノードが強制的にハイレベルとなる。この動作の後、PDCのデータをDDCに移し、TDCの電位をPDCに読み込む。PDCにハイレベルがラッチされるのは、書き込みを行なわない場合と、メモリセルにデータ“4”を書き込んでいて、セルの閾値電圧がベリファイ電位“d*”に達した場合だけである。PDCにローレベルがラッチされる場合は、セルの閾値電圧が“d*”に達

しない場合と、メモリセルをデータ“7”、“6”、“5”に書き込んでいる場合である。

【0244】

(第3ページベリファイ：メモリセルデータ“6”のベリファイ) (S146)

データ“6”を書き込むセルは、第2ページの書き込みにおいて本来のベリファイ電位“f’”より低いベリファイ電位“f*”まで、書き込みが行なわれている。その後、隣接セルの書き込みにより閾値電圧が上昇している場合もあり、本来のベリファイ電位“f’”に達しているセルもある。このため、次に、メモリセルデータ“6”のベリファイを行なう。

【0245】

データ“6”のベリファイ動作は、第2ページの書き込みにおけるデータ“4”(第1乃至第7の実施形態では第2ページの書き込みにおけるデータ“2”)のベリファイと全く同じである。但し、ベリファイ電位は、“f’”である。

【0246】

(プログラム動作) (S147)

プログラム動作は、第1ページ、第2ページのプログラム動作と全く同じである。すなわち、PDCにデータ“1”が記憶されている場合、書き込みが行なわれず、データ“0”が記憶されている場合、書き込みが行なわれる。この後、データ“4”～“7”がベリファイされる。データ“4”、“6”のベリファイ動作(S148、S150)は、上記S145、S146と同一であるため、省略する。

【0247】

(第3ページベリファイ：メモリセルデータ“5”のベリファイ) (S149)

データ“5”のベリファイ動作は、第2ページの書き込みにおけるデータ“2”(第1乃至第7の実施形態では第2ページの書き込みにおけるデータ“1”)のベリファイと全く同じである。但し、ベリファイ電位は、“e’”である。

【0248】

(第3ページベリファイ：メモリセルデータ“7”のベリファイ) (S151)

データ“7”のベリファイ動作は、第2ページの書き込みにおけるデータ“6”(第1乃至第7の実施形態では第2ページの書き込みにおけるデータ“3”)のベリファイと全く同じである。但し、ベリファイ電位は、“g’”である。

【0249】

PDCがローレベルの場合、再び書き込み動作を行ない全てのデータ記憶回路のPDCのデータがハイレベルになるまで、このプログラム動作とベリファイ動作が繰り返される(S152)。

【0250】

上記説明では、1回のプログラム後、4つのベリファイを行なった。しかし、プログラムの初期のループでは、メモリセルの閾値電圧が上昇しない。このため、データ“7”のベリファイ、データ“7”、“6”のベリファイ、データ“7”、“6”、“5”のベリファイを省略することもできる。

【0251】

また、プログラムの終了近くのループでは、データ“4”のベリファイ、データ“4”、“5”のベリファイ、データ“4”、“5”、“6”のベリファイを省略することができる。

【0252】

(第2回目プログラム) (S153～S158)

パスライト方式プログラムの場合、データ“1”を書き込むメモリセルには、全く書き込みが行なわれていない。このため、前述したように、このメモリセルにラフに書き込みをしておく。パスライト方式プログラムをしない場合、第2回目のプログラムは省略できる。

【0253】

第2回目のプログラムにおいては、フラグ用データ記憶回路10bにデータ“0”が記憶される(S153)。

【0254】

(内部データリード2及びデータキャッシュ設定2)(S154、S155)

次に、メモリセルへの書き込みの前に、第2ページのメモリセルのデータが“0”か、“2”、“4”、“6”であるかを判断するため、ワード線の電位を“a”として内部リード動作を行なう(S154)。この後、データキャッシュを操作することにより、図40(a)に示すように、データキャッシュを設定する(S155)。

【0255】

すなわち、メモリセルのデータを“1”にする場合、PDCはローレベルに設定する。メモリセルのデータを“1”以外にする場合、PDCはハイレベルに設定する。

【0256】

この状態において、プログラム動作が行なわれる(S156)。

【0257】

(第3ページベリファイ：メモリセルデータ“1”のベリファイ)(S157)

データ“1”のベリファイ動作は、第3ページの書き込みにおけるデータ“5”及び、第2ページの書き込みにおけるデータ“2”(第1乃至第7の実施形態では第2ページの書き込みにおけるデータ“1”)のベリファイと全く同じである。但し、ベリファイ電位は、“a*”である(S157)。

【0258】

PDCがローレベルの場合、再び書き込み動作を行ない全てのデータ記憶回路のPDCのデータがハイレベルになるまでこのプログラム動作とベリファイ動作を繰り返す(S158)。

【0259】

(第3回目プログラム)

最後に、次のようにして、メモリセルにデータ“1”、“2”、“3”を書き込む。

【0260】

(内部データリード3及びデータキャッシュ設定3)(S159、S160)

先ず、メモリセルにデータを書き込む前に、第2ページが書き込まれたメモリセルのデータが“0”、“2”か、“4”、“6”であるかを判断するため、ワード線の電位を“d*”として内部リード動作を行なう(S159)。

【0261】

この後、データキャッシュを操作することにより、図40(b)に示すように、データキャッシュを設定する(S160)。すなわち、メモリセルのデータを“0”にする場合、PDCはハイレベル、DDCはローレベル、SDCはハイレベルに設定する。メモリセルのデータを“1”にする場合、PDCはローレベル、DDCはハイレベル、SDCはハイレベルに設定する。メモリセルのデータを“2”する場合、PDCはローレベル、DDCはハイレベル、SDCはローレベルに設定する。メモリセルのデータを“3”する場合、PDCはローレベル、DDCはローレベル、SDCはローレベルに設定する。メモリセルのデータを“4”～“7”にする場合、PDCは全てハイレベルに設定する。

【0262】

(第3ページベリファイ：メモリセルデータ“1”のベリファイ)(S161)

バスライト方式プログラムの場合、第2回目のプログラムで、データ“1”を書き込むメモリセルは、本来のベリファイ電位“a’”より低いベリファイ電位“a*”まで書き込まれている。このため、本来のベリファイ電位“a’”に達しているセルもある。したがって、先ず、データ“1”をベリファイする。データ“1”のベリファイ動作は、第3ページの書き込みにおけるデータ“5”、及び第2ページの書き込みにおけるデータ“2”(第1乃至第7の実施形態では第2ページの書き込みにおけるデータ“1”)のベリファイと全く同じである。但し、ベリファイ電位は、“a’”である。

【0263】

(第3ページベリファイ:メモリセルデータ“2”のベリファイ) (S162)

データ“2”を書き込むメモリセルは、第2ページの書き込みにおいて本来のベリファイ電位“b'”より低いベリファイ電位“b*’”まで書き込まれている。その後、隣接セルの書き込みにより閾値電圧が上昇している場合もあり、本来のベリファイ電位“b'”に達しているセルもある。このため、先ず、データ“2”をベリファイする。

【0264】

データ“2”のベリファイ動作は、第3ページの書き込みにおけるデータ“6”のベリファイ、及び第2ページの書き込みにおけるデータ“2”（第1乃至第7の実施形態では第2ページの書き込みにおけるデータ“1”）のベリファイと全く同様である。但し、ベリファイ電位は、“b'”である。

【0265】

(プログラム動作) (S163)

プログラム動作は、第1ページ、第2ページ、及び第3ページの第1回目及び第2回目のプログラム動作と全く同様である。PDCにデータ“1”が記憶されている場合、メモリセルは書き込まれず。データ“0”が記憶されている場合、メモリセルが書き込まれる。

【0266】

この後、ベリファイ電位“a'”、“b'”を順次設定してデータ“1”、“2”のベリファイ(S164、S165)が行なわれるとともに、以下のデータ“3”のベリファイが行なわれる。

【0267】

(第3ページベリファイ:データ“3”のベリファイ) (S166)

データ“3”のベリファイ動作は、第3ページの書き込みにおけるデータ“7”のベリファイ、及び第2ページの書き込みにおけるデータ“6”（第1乃至第7の実施形態では第2ページの書き込みにおけるデータ“3”）のベリファイと全く同様である。但し、ベリファイ電位は、“c'”である。

【0268】

PDCがローレベルの場合、再び書き込み動作を行ない全てのデータ記憶回路のPDCのデータがハイレベルになるまでこのプログラム動作とベリファイ動作が繰り返される(S167)。

【0269】

上記説明では、1回のプログラムの後、4つのベリファイを行なっていた。しかし、プログラムの初期のループでは、閾値電圧が上がらないため、データ“3”のベリファイ、データ“3”、“2”のベリファイを省略することもできる。

【0270】

また、プログラムの終了近くのループでは、データ“1”への書き込み、もしくは、データ“2”及びデータ“1”の書き込みは終了している。このため、これらのベリファイ動作は省略することもできる。データ“1”のベリファイが不用になると、SDCでデータを保持する必要がなくなる。このため、次の書き込みのためのデータを外部より読み込み、SDCに記憶しておくことも可能である。このような構成とした場合、さらなる高速動作が可能である。

【0271】

また、フラグセルFC1、FC2は、第1ページ及び第2ページでは、データが書き込まれず、第3ページでのみ、データが書き込まれる。このため、フラグセルFC1、FC2のデータは“1”になっている。

【0272】

(第1ページリード)

図41(a)は、第1ページのリード動作を示すダイアグラムである。

【0273】

先ず、アドレスを指定し、図34に示す3ページを選択する。図35(a)～(c)、

図36 (a) (b) に示すように、第2ページの書き込み前と後、及び第3ページの書き込み前と後で、閾値電圧の分布が変わっている。したがって、先ず、ワード線の電位を“a”として読み出し動作を行ないフラグセルが書き込まれているかどうかを判別する (S171、S172)。フラグセルが複数ある場合は、これらの多数決により判断する。

【0274】

フラグセルFC1、FC2から読み出されたデータが共に“1” (フラグセルFC1、FC2が共に書き込まれていない) の場合、第2ページ及び第3ページの書き込みは行われていない。このため、メモリセルの閾値電圧分布は、図35 (a) 又は図35 (b) となっている。これらメモリセルのデータを判断するには、ワード線の電位を“a”でリード動作をすればよく、ワード線の電位“a”で読み出し動作をした結果が、既にデータ記憶回路に読み出されている。このため、これらのデータを外部に出力すればよい (S173)。

【0275】

フラグセルFC1のデータが“0”でフラグセルFC2のデータが“1” (フラグセルFC1には書き込まれ、フラグセルFC2に書き込まれていない) の場合、第2ページのデータは書き込まれ、第3ページのデータは書き込まれていない。このため、セルの閾値電圧分布は、図35 (c) 又は図36 (a) となっている。これらメモリセルの第1ページのデータを判断するには、ワード線の電位を“d*”に設定してリード動作をすればよく、ワード線の電位“d*”で読み出し動作を行なった後、データを外部に出力すればよい (S174、S175、S173)。

【0276】

フラグセルFC1、FC2のデータが共に“0” (フラグセルFC1、FC2が共に書き込まれている) の場合、第2ページ及び第3ページのデータが書き込まれている。このため、セルの閾値電圧分布は、図36 (b) となっている。これらメモリセルの第1ページのデータを判断するには、ワード線の電位を“d”に設定してリード動作し、これにより読み出したデータを外部に出力すればよい (S172、S174、S176、S173)。

【0277】

(第2ページリード)

図41 (b) は、第2ページのリード動作を示すダイアグラムである。第2ページのリード動作は、先ずアドレスを指定し、図34に示す3ページを選択する。この後、ワード線の電位を“a”としてリード動作を行ない (S181)、フラグセルFC1、FC2にデータが書き込まれているかどうかを判別する (S182)。フラグセルが複数ある場合は、これらの多数決により判断する。

【0278】

フラグセルFC1、FC2から読み出されたデータが共に“1” (フラグセルFC1、FC2にデータが共に書き込まれていない) の場合、第2ページ及び第3ページのデータが書き込まれていないため、出力データを“1”に固定する (S183)。

【0279】

フラグセルFC1のデータが“0”でフラグセルFC2のデータが“1” (フラグセルFC1は書き込まれ、フラグセルFC2は書き込まれていない) の場合、第2ページのデータは書き込まれ、第3ページのデータは書き込まれていない。このため、セルの閾値電圧分布は、図35 (c) 又は図36 (a) の状態となっている。これらメモリセルの第1ページのデータを判断するには、ワード線の電位を“a”と“f*”でリード動作をすればよい。ワード線の電位“a”でリードした結果はデータ記憶回路に既に取りこまれている。このため、ワード線の電位を“f*”に設定してリード動作を行ない、この読み出したデータを外部に出力する (S185、S186)。

【0280】

また、フラグセルFC1、FC2のデータが共に“0” (フラグセルFC1、FC2に共にデータが書き込まれている) の場合、第2ページ及び第3ページのデータが書き込ま

れている。このため、メモリセルの閾値電圧分布は、図36(b)となっている。これらメモリセルの第1ページのデータを判断するには、ワード線の電位を“b”、“f”に設定してリード動作をすればよい。すなわち、ワード線の電位を“b”に設定して読み出し動作を行なった後、ワード線の電位を“f”に設定して読み出し動作を行ない、この読み出したデータを外部に出力する(S187、S188、S186)。

【0281】

(第3ページリード)

図42は、第3ページのリード動作を示すダイアグラムである。この場合も先ず、アドレスを指定し、図34に示す3ページを選択する。第3ページの書き込み前と後で、閾値電圧の分布が変わっているため、先ず、ワード線の電位を“a”としてリード動作を行ないフラグセルFC1、FC2にデータが書き込まれているかどうかを判別する(S191、S192)。

【0282】

フラグセルFC1、FC2のデータが共に“1”(フラグセルFC1、FC2に共にデータが書き込まれていない)の場合、第3ページの書き込みは行われていないため、出力データを“1”に固定する(S193)。

【0283】

フラグセルFC1のデータが“0”でフラグセルFC2のデータが“1”(フラグセルFC1にはデータが書き込まれ、フラグセルFC2にはデータが書き込まれていない)の場合も、第3ページのデータは書き込まれていない。このため、出力データを“1”に固定する(S194、S193)。

【0284】

また、フラグセルFC1、FC2のデータが共に“0”(フラグセルFC1、FC2に共にデータが書き込まれている)の場合、第2ページ及び第3ページのデータが書き込まれている。このため、メモリセルの閾値電圧分布は、図36(b)となっている。これらメモリセルの第1ページのデータを判断するには、ワード線の電位を“a”、“c”、“e”、“g”でリード動作をすればよい。ワード線の電位を“a”に設定してリードした結果はデータ記憶回路に既に取りこまれている。このため、次に、ワード線の電位を“c”、“e”、“g”に順次設定してリード動作を行ない、読み出したデータを外部に出力する(S195、S196、S197、S198)。

【0285】

(イレーズ)

消去動作は、第1乃至第7の実施形態と同様であるため、説明は省略する。

【0286】

上記第8の実施形態によれば、8値(3ビット)のデータを确实且つ高速に書き込み、読み出すことができる。

【0287】

第8の実施形態に示す、8値(3ビット)のNAND型フラッシュメモリは、第3ページの書き込み時、第1回目の書き込みで、データ“4”～“7”を書き込み、第2回目の書き込みでデータ“1”をラフに書き、第3回目の書き込みで、データ“1”～“3”を書き込んだ。しかし、これに限定されるものではなく、先ず、データ“2”、“4”、“6”を書き込み、この後、データ“1”、“3”、“5”、“7”を書き込むことも可能である。

【0288】

このような書き込みにおいても、第8の実施形態と同様の効果を得ることができる。

【0289】

(第9の実施形態)

上記第6の実施形態において、図27(a)でDDCがデータ“1”になっている場合、ビット線に中間電位を供給し、PDCがデータ“0”になっている場合、ビット線をV_{ss}に放電させていた。これに対して、第9の実施形態は、第2ページの書き込み時にお

いて、この動作を省略している。第9の実施形態における書きこみシーケンスは、図28に示すフローチャートと同じである。しかし、データキャッシュの動作は図43(a)乃至図46に示すようになる。

【0290】

(a) 先ず、外部より入力されたデータはSDCにロードされ、内部データリードに読み出されたデータは、PDCに記憶される。図43(a)は、データロード、内部リード後のSDC、PDCとメモリセルのデータの関係を示している。PDCはローページ（第1ページ）のデータ（第1ページ）を示し、SDCはアッパーページ（第2ページ）のデータを示している。

【0291】

(b) この後、図11、図12に示すような動作を実行し、データキャッシュを設定する（図43(b)）。図27(a)に示すデータキャッシュの設定の場合、メモリセルにデータ“1”を書き込む場合、DDCにデータ“1”が設定されていた。これに対して、第9の実施形態において、メモリセルにデータ“1”を書き込む場合、DDCにデータ“0”が設定される。

【0292】

次いで、メモリセルにデータが書き込まれる。先ず、 $BLC1 = V_{ss}$ とすると、PDCがデータ“0”の場合、ビット線が V_{ss} となり、データ“1”の場合、ビット線は V_{dd} になる。次に、 $BLC1 = V_{SS}$ とした後、 $V_{REG} = V_{dd}$ 、 $REG = \text{中間電位} + V_{th} (1V + V_{th})$ とする。すると、DDCがデータ“1”の場合、ビット線が V_{dd} となり、DDCがデータ“0”の場合、ビット線はプリチャージされない。この結果、メモリセルにデータ“1”、“3”を書き込んでいるときのみビット線は V_{ss} 、メモリセルにデータ“2”を書き込んでいる場合、ビット線は中間電位（1V）、メモリセルのデータが“0”の場合（書き込みしない場合）、ビット線は V_{dd} になる。ここで、選択ワード線を V_{pgm} 、非選択ワード線を V_{pass} とすると、ビット線が V_{dd} の場合、書き込みが行なわれない。また、ビット線が V_{ss} の場合、書き込みが起こり、ビット線が中間電位（1V）の場合、少しだけ書き込まれる。したがって、メモリセルにデータ“2”を書き込んでいるセルは、あまり書き込まれないかもしれない。

【0293】

しかし、図47(a)に示すように、第2ページの書き込み前において、メモリセルにデータ“2”を書き込むセルは、書き込み前かなり高い閾値まで書かれている。このため、書き込みが遅くてもよい。また V_{pgm} の上昇に従い書き込まれる。

【0294】

(c) この後、ベリファイ電圧“a*”を設定して書き込みベリファイが行なわれる。このベリファイにおいて、 $BLC2 = \text{ハイレベル}$ 、 BLC_{LAMP} に所定の電位を与えると、SDCがデータ“1”になっている場合（つまりメモリセルにデータ“1”を書き込んでいる場合）のみ、ビット線がプリチャージされ、SDCがデータ“0”になっている場合、ビット線はプリチャージされず、 V_{ss} のままとなる。

【0295】

図44(a)は、ベリファイ電圧“a*”によるベリファイ後のデータキャッシュを示している。

【0296】

次に、ワード線の電位をベリファイ電位“a*”に設定し、ビット線を放電する。 $V_{PRE} = V_{dd}$ 、 $BL_{PRE} = V_{ss}$ としてTDCを V_{dd} に充電した後に、 BLC_{LAMP} に所定の電圧を与える。ビット線が V_{ss} の場合TDCは V_{ss} になり、ビット線にプリチャージ電位が残っている場合TDCは V_{dd} になる。TDCが V_{dd} になるのは、メモリセルのデータが“1”に書き込まれていてベリファイ電位“a*”に達した時である。メモリセルにデータ“1”を書き込んでいない場合、ビット線がプリチャージされていないため、TDCは V_{ss} となる。また、メモリセルにデータ“1”を書き込んでいてベリファイ電位“a*”に達しない場合もTDCは V_{ss} となる。

【0297】

ここで、 $VREG = \text{ハイレベル}$ 、 $REG = \text{ハイレベル}$ とすると、DDCのデータが“1”の場合、強制的にTDCがハイレベルになる。したがって、TDCがVddになるのは、メモリセルにデータ“1”を書き込んでいてベリファイ電位“a*”に達した時と、DDCのデータが“1”の場合、つまりメモリセルへデータ“2”を書き込んでいた場合である。DTG=Vsgとし、PDCのデータをDDCにコピーする。この後、 $BLC1 = Vsg$ としてTDCの電位をPDCに取りこむ。

【0298】

図44(b)において、PDCがデータ“1”となるのは、メモリセルにデータ1を書き込んでいて、ベリファイ電位“2*”を超えている場合と、メモリセルにデータ2を書き込んでいる場合である。

【0299】

(d) 次に、ワード線の電位を少し上げてベリファイ電位“a’”とし、ビット線を放電する。 $VPRE = Vdd$ 、 $BLPRE = Vsg$ としてTDCを再びVddに充電した後、BLC LAMPに所定の電圧を与える。ビット線がVssの場合、TDCはVssとなり、ビット線にプリチャージ電位が残っている場合、TDCはVddになる。TDCがVddになるのは、メモリセルにデータ“1”を書き込んでいてベリファイ電位“a’”に達した時である。メモリセルにデータ“1”を書き込んでいない場合、ビット線がプリチャージされていないためTDCはVssとなる。また、メモリセルにデータ“1”を書き込んでいてベリファイ電位“a’”に達しない場合もTDCはVssとなる。

【0300】

ここで $VREG = \text{ハイレベル}$ 、 $REG = \text{ハイレベル}$ とすると、DDCのデータが“1”の場合、すなわち、メモリセルにデータを書き込んでいない場合、TDCは強制的にハイレベルとされる。したがって、TDCがVddになるのは、書き込み非選択の場合と、メモリセルにデータ“1”を書き込んでいてベリファイ電位“a’”に達した場合である。

【0301】

次いで、DTG=Vsgとし、PDCのデータをDDCにコピーした後に、 $BLC1 = Vsg$ としてTDCの電位をPDCに取りこむ(図45(a))。

【0302】

メモリセルにデータ“1”を書き込んでいるセルにおいて、閾値電圧がベリファイ電位“a*”より高くなると、DDCのデータが“1”となる。また、メモリセルにデータ“1”を書き込んでいるセルにおいて、ベリファイ電位“a’”を用いた書き込みが全て終了すると、PDCのデータは“1”になる。

【0303】

(e) ベリファイ電位“b”を用いたベリファイ(図45(b))。このベリファイは、第1の実施形態と同様に、 $REG = \text{ハイレベル}$ 、BLC LAMPに所定の電位を与える。すると、DDCがデータ“1”になっている場合、つまり、メモリセルにデータ“2”を書き込んでいる場合と、メモリセルにデータ“1”を書き込んでいて、閾値電圧がベリファイ電位“a*”より高い場合のみ、ビット線がプリチャージされる。また、DDCがデータ“0”になっている場合、ビット線はプリチャージされず、Vssのままとなる。

【0304】

次に、ワード線にベリファイ電位“b’”を供給しビット線を放電する。ビット線の放電中にDDCのデータをTDCに移す。この後、PDCのデータをDDCに移し、TDCのデータをPDCに移す。次いで、TDCをVddに充電した後、BLC LAMPに所定の電位を与える。すると、TDCがハイレベルになるのは、メモリセルにデータ“2”を書き込んでいて閾値電圧がベリファイ電位“b’”に達した場合のみである。

【0305】

ここで、 $VREG = \text{ハイレベル}$ 、 $REG = Vsg$ とすると、DDCのデータがハイレベルの場合、強制的にTDCがハイレベルとなる。したがって、TDCがVddになるのは

、メモリセルにデータ“2”を書き込んでいてベリファイ電位“b'”に達した時と、書き込み非選択の場合である。DTG=Vsgとし、PDCのデータをDDCにコピーした後、BLC1=VsgとしてTDCの電位をPDCに取りこむ。

【0306】

(f) ベリファイ電位“c”によるベリファイ(図46)。このベリファイも第1の実施形態と同様に、BLPRE=ハイレベル、BLC LAMPに所定の電位を供給し、ビット線をプリチャージする。

【0307】

次に、ワード線にベリファイ電位“c'”を供給しビット線を放電する。ビット線の放電中にDDCのデータをTDCに移す。この後、PDCのデータをDDCに移し、TDCのデータをPDCに移す。

【0308】

この後、TDCをVddに充電した後、BLC LAMPに所定の電位を供給する。すると、TDCがハイレベルになるのは、閾値電圧がベリファイ電位“c'”に達した場合のみである。VREG=ハイレベル、REG=Vsgとすると、DDCのデータがハイレベルの場合、強制的にTDCがハイレベルとなる。したがって、TDCがVddになるのは、メモリセルにデータ“3”を書き込んでいてベリファイ電位“c'”に達した時と、書き込み非選択の場合である。

【0309】

次いで、DTG=Vsgとし、PDCのデータをDDCにコピーする。この後、BLC1=VsgとしてTDCの電位をPDCに取りこむ。

【0310】

このようにして、全てのPDCのデータが“1”になるまで、プログラムとベリファイ動作を繰り返す。しかし、書き込み動作において、DDCのデータが“1”の場合、つまり、メモリセルにデータ“2”を書き込んでいる場合と、メモリセルにデータ“1”を書き込んでいてベリファイ電位“a*’”を超えている場合、ビット線を中間電位にして書き込み動作をする。また、プログラムとベリファイ動作を繰り返す毎に、Vpgmを少しずつ上げていく。

【0311】

第9の実施形態によれば、第2ページの書き込み動作において、データキャッシュを設定後、DDCがデータ“1”の場合、メモリセルデータ“2”のベリファイ時にビット線をVddにプリチャージし、DDCがデータ“0”の場合、ビット線をプリチャージしない。この結果、ビット線はメモリセルにデータ“1”を書き込んでいて、ベリファイレベル“a*’”を超えない場合と、“3”を書き込んでいるときのみVss、メモリセルにデータ1を書き込んでいて、ベリファイレベル“a*’”を超える場合と、メモリセルにデータ“2”を書き込んでいる場合、ビット線は中間電位(1V)、メモリセルのデータが“0”の場合、ビット線はVddになる。このため、選択ワード線をVpgm、非選択ワード線をVpassとすると、ビット線がVddの場合、書き込みが行なわれない。また、ビット線がVssの場合、書き込みが行なわれる。さらに、ビット線が中間電位(1V)の場合、少しでも書き込みが行なわれ、メモリセルの閾値電圧が僅かに上昇される。したがって、DDCがデータ“1”の場合、プログラム時にビット線が中間電位となり、書き込み速度が低下される。このため、閾値電圧の分布を正確に設定することが可能である。

【0312】

尚、第9の実施形態において、初めに第1ページ(ローページ)のデータをメモリセルに書き込み、この後、第2ページ(アッパーページ)のデータをメモリセルに書き込むとき、第1ページのデータを読み出し、3つのレベルの閾値電圧を書き込んでいた。しかし、第1ページのデータと第2ページのデータを同時にメモリセルに書き込むことも可能である。

【0313】

すなわち、図48に示すように、先ず、第1ページのデータをSDCにロードし(S201)、次いで、第1ページのデータをSDCからPDCに転送する(S202)。次に、第2ページのデータをSDCにロードする(S203)。この後、各データキャッシュを図43(b)に示すように設定し(S134)、このデータキャッシュのデータに従ってプログラムを実行する(S135)。尚、図48において、プログラム以降の動作は図28と同様であるため、同一部分には同一符号を付し説明は省略する。

【0314】

このような方法によれば、第1ページのデータと第2ページのデータを同時にメモリセルに書き込んでいるため、第1ページのみの書き込み動作、及び内部データリードにより第1ページのデータを読み出す必要がない。したがって、高速な書き込みが可能である。

【0315】

(第10の実施形態)

図49は、図7の変形例を示すものであり、隣接する複数のメモリセルの書き込み順序を示している。

【0316】

第10の実施形態において、ブロック内の複数のメモリセルは、ソース線に近いメモリセルからページごとに書き込み動作が行なわれる。図49は、説明を簡単化するため、ワード線を4本としている。

【0317】

第1番目の書き込み動作は、メモリセル1の第1ページに1ビットのデータが書きこまれる。

【0318】

第二番目の書き込み動作は、メモリセル1とワード方向に隣接したメモリセル2の第1ページに1ビットのデータが書きこまれる。

【0319】

第3番目の書き込み動作は、メモリセル1の第2ページに1ビットのデータが書きこまれる。

【0320】

第4番目の書き込み動作は、メモリセル1とワード方向に隣接したメモリセル2の第2ページに1ビットのデータが書きこまれる。

【0321】

第5番目の書き込み動作は、メモリセル1とビット方向に隣接したメモリセル3の第1ページに1ビットのデータが書きこまれる。

【0322】

第6番目の書き込み動作は、メモリセル1と対角に隣接したメモリセル4の第1ページに1ビットのデータが書きこまれる。

【0323】

第7番目の書き込み動作は、メモリセル3の第2ページに1ビットのデータが書きこまれる。

【0324】

第8番目の書き込み動作は、メモリセル3とワード方向に隣接したメモリセル4の第2ページに1ビットのデータが書きこまれる。

【0325】

第9番目の書き込み動作は、メモリセル3とビット方向に隣接したメモリセル5の第1ページに1ビットのデータが書きこまれる。

【0326】

第10番目の書き込み動作は、メモリセル3と対角に隣接したメモリセル6の第1ページに1ビットのデータが書きこまれる。

【0327】

第11番目の書き込み動作は、メモリセル5の第2ページに1ビットのデータが書きこ

まれる。

【0328】

第12番目の書き込み動作は、メモリセル5とワード方向に隣接したメモリセル6の第2ページに1ビットのデータが書きこまれる。

【0329】

第13番目の書き込み動作は、メモリセル5とビット方向に隣接したメモリセル7の第1ページに1ビットのデータが書きこまれる。

【0330】

第14番目の書き込み動作は、メモリセル5と対角に隣接したメモリセル8の第1ページに1ビットのデータが書きこまれる。

【0331】

第15番目の書き込み動作は、メモリセル7の第2ページに1ビットのデータが書きこまれる。

【0332】

第16番目の書き込み動作は、メモリセル7とワード方向に隣接したメモリセル8の第2ページに1ビットのデータが書きこまれる。

【0333】

上記書き込み順序としても、図7に示す例と同様の効果を得ることができる。

【0334】

(第11実施形態)

図50は、第11の実施形態に適用されるメモリセルアレイ1とビット線制御回路2の関係を示している。図51は、第11の実施形態に適用されるデータ記憶回路10の一例を示している。

【0335】

上記各実施形態は、図3、図6に示すように、一对のビット線BL_e、BL_oに1つのデータ記憶回路10が接続されていた。これに対して、第11の実施形態は、図50、図51に示すように、1本のビット線毎に、1つのデータ記憶回路10が接続される。また、複数のメモリセルと同時に例えば1のフラグセルFCが選択される。このフラグセルが接続されるビット線BL_F1はフラグ用データ記憶回路10aに接続されている。

【0336】

さらに、上記各実施形態は、図3に示すように、同一ワード線に接続された複数のメモリセルのうち、半数のメモリセルについて同時に書き込み、読み出しが可能であった。これに対して、第11の実施形態は、各ビット線にデータ記憶回路10、10aを接続している。このため、同一ワード線に接続された複数のメモリセル及びフラグセルの全てに対して同時に書き込み、読み出し可能である。すなわち、図3において、2ページは、ワード線により同時に選択される複数のメモリセルのうち、半数のメモリセルにより構成されていた。これに対して、第11の実施形態において、2ページは、ワード線により同時に選択される全メモリセルにより構成される。

【0337】

尚、図51において、図6に示す信号CHK1、CHK2が供給されるトランジスタ61m、61nは省略されている。

【0338】

図52は、第11の実施形態に係る書き込み順序を示している。ブロック内において、NANDセルは、ソース線に近いメモリセルから順次ページ毎に書き込み動作を行なう。図52は、説明を簡単化するため、4本のワード線のみを示している。

【0339】

第1番目の書き込みは、メモリセル1の第1ページに1ビットのデータが書き込まれる。

【0340】

第2番目の書き込みは、メモリセル1の第2ページに1ビットのデータが書き込まれる。

。このとき、フラグセルにもデータが書き込まれる。

【0341】

第3番目の書き込みは、メモリセル1とビット線方向に隣接したメモリセル2の第1ページに1ビットのデータが書き込まれる。

【0342】

第4番目の書き込みは、メモリセル2の第2ページに1ビットのデータが書き込まれる。このとき、フラグセルにもデータが書き込まれる。

【0343】

第5番目の書き込みは、メモリセル2とビット線方向に隣接したメモリセル3の第1ページに1ビットのデータが書き込まれる。

【0344】

第6番目の書き込みは、メモリセル3の第2ページに1ビットのデータが書き込まれる。このとき、フラグセルにもデータが書き込まれる。

【0345】

第7番目の書き込みは、メモリセル3とビット線方向に隣接したメモリセル4の第1ページに1ビットのデータが書き込まれる。

【0346】

第8番目の書き込みは、メモリセル4の第2ページに1ビットのデータが書き込まれる。このとき、フラグセルにもデータが書き込まれる。

【0347】

上記第11の実施形態によれば、データ記憶回路10を各ビット線に接続している。このため、ワード線により同時に選択される全メモリセルに対してデータの書き込み及び読み出しを行なうことができる。

【0348】

しかも、ワード線により同時に選択される全てのメモリセルに第1ページ、及び第2ページのデータを書き込んだ後、ソース線から離れたメモリセルに順次データを書き込んでいる。このため、上記各実施形態のように、ワード線に接続された複数のメモリセルのうち、半数のメモリセル毎にデータを書き込む場合に比べて、ワード線方向に隣接するメモリセルの閾値電圧の変化による影響を受けない利点を有している。

【0349】

また、図6に示すように、一対のビット線に対して1つのデータ記憶回路10を接続する場合、非選択のビット線に所定の電位BLCLを供給するトランジスタ61x、61yを必要とする。さらに、各ビット線にはトランジスタ61v、61wがそれぞれ接続されている。これらトランジスタ61x、61y、61v、61wは、高耐圧のトランジスタであり、データ記憶回路を構成するトランジスタに比べて大きなサイズを有している。このように、図6に示す回路構成の場合、1つのビット線に対して、サイズの大きな2つのトランジスタが接続されている。これに対して、図51に示す回路構成の場合、データ記憶回路に対して非選択のビット線が存在しない。このため、各ビット線には、1つの高耐圧トランジスタ61vが接続されているだけである。したがって、回路規模を縮小することが可能である。

【0350】

(変形例)

図53に示す書き込み順序は、図52に示す書き込み順序の変形例を示すものである。図52に示す書き込み動作は、ワード線により同時に選択される複数のメモリセルに第1、第2ページのデータを書き込んだ後、ソース線から離れたメモリセルに順次データを書き込んだ。これに対して、図53に示す例の場合、ビット線方向に隣接する2つのメモリセルに第1ページのデータを書き込んだ後、ソース線側のメモリセルに第2ページのデータを書き込んでいる。すなわち、

第1番目の書き込みは、メモリセル1の第1ページに1ビットのデータが書き込まれる。

【0351】

第2番目の書き込みは、メモリセル1とビット線方向に隣接したメモリセル2の第1ページに1ビットのデータが書き込まれる。

【0352】

第3番目の書き込みは、メモリセル1の第2ページに1ビットのデータが書き込まれる。

【0353】

第4番目の書き込みは、メモリセル2とビット線方向に隣接したメモリセル3の第1ページに1ビットのデータが書き込まれる。

【0354】

第5番目の書き込みは、メモリセル2の第2ページに1ビットのデータが書き込まれる。

【0355】

第6番目の書き込みは、メモリセル3とビット線方向に隣接したメモリセル4の第1ページに1ビットのデータが書き込まれる。

【0356】

第7番目の書き込みは、メモリセル3の第2ページに1ビットのデータが書き込まれる。

【0357】

第8番目の書き込みは、メモリセル4の第2ページに1ビットのデータが書き込まれる。

【0358】

上記書き込み方法によれば、ビット線方向に隣接するメモリセルに第1ページのデータを書き込んだ後、ソース線側のメモリセルに第2ページのデータを書き込み、次に、ソース線と反対側に隣接するメモリセルに第1ページのデータを書き込んでいる。このため、ワード線のカップリングの影響を低減できるため、メモリセルの閾値電圧の分布を狭めることが可能である。

【0359】

図54は、図50に示す回路の変形例を示している。図50に示す回路の場合、各ビット線の一端部にデータ記憶回路10が配置されている。一方、図54において、データ記憶回路10は、隣接するビット線の一端部又は他端部に交互に配置されている。この場合の書き込み動作は、上記第11の実施形態と同様である。このように、データ記憶回路10を隣接するビット線の一端部又は他端部に交互に配置することにより、データ記憶回路10のレイアウトが容易となる。

【0360】

図55、図56は、1セルに8値の閾値を設定し、3ビットを記憶する場合の書き込み順序を示している。

【0361】

図55に示す書き込み順序は以下の通りである。

【0362】

第1番目の書き込みは、メモリセル1の第1ページに1ビットのデータが書き込まれる。

【0363】

第2番目の書き込みは、メモリセル1の第2ページに1ビットのデータが書き込まれる。

【0364】

第3番目の書き込みは、メモリセル1の第3ページに1ビットのデータが書き込まれる。

【0365】

第4番目の書き込みは、メモリセル1とビット線方向に隣接したメモリセル2の第1ページに1ビットのデータが書き込まれる。

ージに 1 ビットのデータが書き込まれる。

【0 3 6 6】

第 5 番目の書き込みは、メモリセル 2 の第 2 ページに 1 ビットのデータが書き込まれる。
。

【0 3 6 7】

第 6 番目の書き込みは、メモリセル 2 の第 3 ページに 1 ビットのデータが書き込まれる。
。

【0 3 6 8】

第 7 番目の書き込みは、メモリセル 2 とビット線方向に隣接したメモリセル 3 の第 1 ページに 1 ビットのデータが書き込まれる。

【0 3 6 9】

第 8 番目の書き込みは、メモリセル 3 の第 2 ページに 1 ビットのデータが書き込まれる。
。

【0 3 7 0】

第 9 番目の書き込みは、メモリセル 3 の第 3 ページに 1 ビットのデータが書き込まれる。
。

【0 3 7 1】

第 1 0 番目の書き込みは、メモリセル 3 とビット線方向に隣接したメモリセル 4 の第 1 ページに 1 ビットのデータが書き込まれる。

【0 3 7 2】

第 1 1 番目の書き込みは、メモリセル 4 の第 2 ページに 1 ビットのデータが書き込まれる。
。

【0 3 7 3】

第 1 2 番目の書き込みは、メモリセル 4 の第 3 ページに 1 ビットのデータが書き込まれる。
。

【0 3 7 4】

図 5 6 に示す書き込み順序は以下の通りである。

【0 3 7 5】

第 1 番目の書き込みは、メモリセル 1 の第 1 ページに 1 ビットのデータが書き込まれる。
。

【0 3 7 6】

第 2 番目の書き込みは、メモリセル 1 とビット線方向に隣接したメモリセル 2 の第 1 ページに 1 ビットのデータが書き込まれる。

【0 3 7 7】

第 3 番目の書き込みは、メモリセル 1 の第 2 ページに 1 ビットのデータが書き込まれる。
。

【0 3 7 8】

第 4 番目の書き込みは、メモリセル 2 とビット線方向に隣接したメモリセル 3 の第 1 ページに 1 ビットのデータが書き込まれる。

【0 3 7 9】

第 5 番目の書き込みは、メモリセル 2 の第 2 ページに 1 ビットのデータが書き込まれる。
。

【0 3 8 0】

第 6 番目の書き込みは、メモリセル 1 の第 3 ページに 1 ビットのデータが書き込まれる。
。

【0 3 8 1】

第 7 番目の書き込みは、メモリセル 3 とビット線方向に隣接したメモリセル 4 の第 1 ページに 1 ビットのデータが書き込まれる。

【0 3 8 2】

第 8 番目の書き込みは、メモリセル 3 の第 2 ページに 1 ビットのデータが書き込まれる

。

【0383】

第9番目の書き込みは、メモリセル2の第3ページに1ビットのデータが書き込まれる。

。

【0384】

第10番目の書き込みは、メモリセル4の第2ページに1ビットのデータが書き込まれる。

【0385】

第11番目の書き込みは、メモリセル3の第3ページに1ビットのデータが書き込まれる。

【0386】

第12番目の書き込みは、メモリセル4の第3ページに1ビットのデータが書き込まれる。

【0387】

(第12の実施形態)

第12の実施形態は、1ページを複数回に分けて書き込む分割書き込みにおいて、分割された領域に対応してフラグセルを配置する。

【0388】

上記第1乃至第11の実施形態において、NAND型フラッシュメモリは、1回の書き込み動作で、1ページ、例えば2kByte+64Byte分のデータを書き込んでいる。これに対して、NAND型フラッシュメモリを利用するアプリケーションによっては、1ページを複数回に分けて書き込みたいことがある。1ページの分割の仕方としては、例えば2kByteと64Byte、1kByte+32Byteと1kByte+32Byte、1kByteと1kByteと64Byteがある。

【0389】

図57は、メモリセルアレイ1とフラグセルFCの関係を概略的に示している。図57に示すように、1ページを例えば2つの領域A、Bに分割した場合において、領域Aに対応して第1のフラグセルFC1を配置し、領域Bに対応して第2のフラグセルFC2を配置する。

【0390】

上記構成において、第2ページの領域Aにデータを書き込むとき、第1のフラグセルFC1にもデータを書き込み、第2ページの領域Bにデータを書き込むとき、第2のフラグセルFC2にもデータを書き込む。

【0391】

また、上記構成において、分割書き込みをしない場合、すなわち、第2ページの領域A及び領域Bに同時にデータを書き込むとき、第1、第2のフラグセルFC1、FC2の両方にデータを書き込む。

【0392】

図58(a)～図58(d)は、領域A、領域Bに対する具体的な書き込み順序を示している。図58(a)、図58(b)に示す第1ページの書き込みは、分割書き込みをしない場合と同様であり、フラグセルFC1、FC2にはデータを書き込まない。

【0393】

図58(c)は、第2ページ、領域Aの書き込み動作を示している。まず、全てのデータ記憶回路10にデータ“1”を設定する(S301)。この後、領域Aに対応するデータ記憶回路に領域A用のデータが供給される(S302)。次いで、領域Aに対応するフラグセルFC1用のデータがデータ記憶回路に供給される(S303)。この後、データキャッシュを設定し(S304)、領域A、領域Bにデータが書き込まれる(S305)。

。

【0394】

この時、領域Bの書き込みデータは“1”に設定されている。このため、第1ページで

書き込みが行われ、メモリセルのデータが“2”となっており、図1Cに示すように、領域Bのメモリセルのデータが“3”になってしまい、この後、領域Bのデータを書き込むことができなくなる。このため、メモリセルのデータが“2”（閾値電圧が“b*”）以上）となっている場合、メモリセルのデータを“2”（閾値電圧は“b'”以上）となるようにする。具体的には、例えば図43Bに示すように各データキャッシュにデータを設定するとき、データキャッシュを何も操作しない場合、メモリセルにデータ“3”が書き込まれてしまう。そこで、例えば図6、図51に示すトランジスタ61dのゲートに供給される信号PRSTを領域A用、領域B用に分けておく。そして、前記データキャッシュにデータを設定している時に、信号PRSTをハイレベルとし、領域Bのデータをリセットする。これにより、DDCのデータを“1”とし、メモリセルにデータ“2”を書き込むようにする。したがって、領域Bのメモリセルのデータは“0”か“2”となる。また、フラグセルFC2にはデータが書き込まれない。

【0395】

領域Aの書き込みが行われた状態において、第1ページの読み出しは、図13、図16の読み出し動作と同様である。このとき、領域A及び領域Bのデータは、ともに領域Aに対応するフラグセルのデータに従って読み出される。第2ページの読み出しは、図14、図15の読み出し動作と同様であり、領域Aのデータは第2ページの書き込み後に読み出される。しかし、領域Bのデータを読み出すとき、領域Bに第2ページのデータが書き込まれたことを認識するフラグセルFC2にデータが書き込まれていない。このため、領域Bのデータは強制的に“1”として読み出される。

【0396】

次に、図58(d)を参照して、第2ページの領域Bにデータを書き込む場合の動作について説明する。まず、全てのデータ記憶回路10にデータ“1”を設定する(S311)。この後、領域Bに対応するデータ記憶回路に領域B用のデータが供給される(S312)。次いで、領域Bに対応するフラグセルFC2用のデータがデータ記憶回路に供給される(S313)。この後、データキャッシュを設定し(S314)、領域Bにデータが書き込まれる(S315)。この時、領域Aのメモリセルに書き込みが行われている場合、領域Aのメモリセルにも書き込みが行われる場合がある。このため、領域Aのメモリセルは書き込まれないようにする。具体的には、例えば図43Bに示すように、キャッシュのデータを設定すると、PDCが“0”となる場合がある。

【0397】

そこで、前述したように、図6、図51に示すトランジスタ61dのゲートに供給される信号PRSTを領域A用、領域B用に分けておく。そして、前記データキャッシュにデータを設定している時に、信号PRSTをハイレベルとし、領域Aのデータをリセットする。これにより、PDCのデータを“1”とし、メモリセルにデータが書き込まれないようにする。したがって、領域Aのメモリセルのデータは変化しない。

【0398】

第12の実施形態の場合、第1、第2のフラグセルFC1、FC2のデータに応じて領域A及び領域Bを独立に制御できる。このため、分割書き込み中においても、例えば2ページのデータの書き込みが終了した領域に対してリード動作を行なうことが可能である。

【0399】

尚、図57において、両フラグセルFC1、FC2はセルアレイの右端に配置している。しかし、領域Aの隣にフラグセルFC1を配置し、領域Bの隣にフラグセルFC2を配置することも可能である。

【0400】

また、各ページを2個以上の領域に分割することも可能である。この場合、分割した領域に対応して、2個以上のフラグセルを配置すればよい。

【0401】

上記第12の実施形態は、図50、図51に示す構成にも適用することが可能である。また、メモリセルに設定するページは2ページに限定されるものではなく、メモリセルに

記憶されるビット数に応じて設定すればよい。すなわち、メモリセルに 2^n 個 (n は 2 以上の自然数) の閾値電圧が設定される場合、 n ページとすればよい。このとき、 k ページ目 ($2 \leq k \leq n$) の書き込みとともに、フラグセルにデータを書き込めばよい。

【0402】

例えば、メモリセルに 2^3 個の閾値電圧が設定される場合、3 ページとすればよい。このとき、領域 A の第 2 ページの書き込みとともに、第 1 フラグセルにデータを書き込み、領域 B の第 2 ページの書き込みとともに、第 2 フラグセルにデータを書き込み、領域 A の第 3 ページの書き込みとともに、第 3 フラグセルにデータを書き込み、領域 B の第 3 ページの書き込みとともに、第 4 フラグセルにデータを書き込めばよい。

【0403】

また、フラグセルにも複数の閾値電圧を設定することが可能である。この場合、領域 A の第 2 ページの書き込みとともに、第 1 フラグセルにデータを書き込み、領域 B の第 2 ページの書き込みとともに、第 2 フラグセルにデータを書き込み、領域 A の第 3 ページの書き込みとともに、第 1 フラグセルにデータを書き込み、領域 B の第 2 ページの書き込みとともに、第 2 フラグセルにデータを書き込めばよい。このように、フラグセルにも複数の閾値電圧を設定することにより、ページ数が増加した場合においても、フラグセルの数の増加を抑制できる。

【0404】

(第 13 の実施形態)

第 13 の実施形態は、第 2 の実施形態を変形したものである。図 60 (a) に示すように、第 2 の実施形態において、第 2 ページの書き込みの際、メモリセルのデータは “0” から “1” へ変化され、又は “2” から “3” へ変化される。これと同時に、フラグセルのデータは、図 60 (b) に示すように、“0” から “2” へ変化させていた。このような書き込みを行った場合、図 60 (b) に示すように、フラグセルの閾値電圧の分布が広がる場合がある。この閾値電圧は読み出し時のワード線電位 “c” より高くなっている。この状態において、図 14 に示す第 2 ページの読み出し動作を行なうと、フラグセルから読み出されるデータが “1” となり、第 2 ページに書き込みを行っていないことになる。

【0405】

そこで、第 13 の実施形態は、図 34 に示すように、第 1 のフラグセル FC1、第 2 のフラグセル FC2 を設ける。このような構成において、第 2 ページの書き込み時に、第 1 のフラグセル FC1 のデータを第 2 の実施形態と同様に “0” から “2” へ変化させ、第 2 のフラグセルのデータを “0” から “1” へ変化させる。

【0406】

図 61 (a) は、第 2 ページ書き込み後における第 1 のフラグセル FC1 の閾値電圧の分布を示し、図 61 (b) は第 2 のフラグセル FC2 の閾値電圧の分布を示している。

【0407】

データの読み出し時において、第 1 ページのデータを読み出す際、図 62 に示すように、第 1 のフラグセル FC1 のデータによって、第 2 ページの書き込みが行われたかどうかを判断する。すなわち、先ず読み出し時のワード線の電位を “b” とし、メモリセル及び第 1 のフラグセル FC1 からデータを読み出す。第 1 のフラグセル FC1 のデータが “0” である場合、第 2 ページの書き込みが行なわれたことが分かる。また、第 1 のフラグセル FC1 のデータが “1” である場合、第 2 ページの書き込みが行なわれていない。このため、ワード線の電位を “a” として、メモリセルのデータが読み出される。

【0408】

また、第 2 ページのデータの読み出しは、図 63 に示すように、第 2 のフラグセル FC2 のデータによって、第 2 ページの書き込みが行われたかどうかを判断する。すなわち、先ず、ワード線の電位を “c” としてデータを読み出し、さらに、ワード線の電位を “a” としてデータを読み出す。第 2 のフラグセル FC2 のデータが “0” の場合、第 2 ページの書き込みが行なわれているため、読み出したデータを出力する。一方、第 2 のフラグセル FC2 のデータが “1” の場合、第 2 ページの書き込みが行なわれていないため、デ

ータ“1”を出力する。

【0409】

第13の実施形態によれば、第1、第2のフラグセルFC1、FC2を設け、これら第1、第2のフラグセルFC1、FC2のデータに従って、第2ページの書き込みが行なわれたかどうかを判断している。このため、第2ページの書き込みにおいて、第1、第2のフラグセルFC1、FC2の閾値電圧の分布が広がった場合においても、データの読み出し時に第2ページの書き込みが行なわれたかどうかを確実に判断することができる。

【0410】

第13の実施形態は、第1のフラグセルFC1のデータを“0”から“2”へと変化させた。しかし、データ“0”から“3”へ変化させることも可能である。また、第2のフラグセルFC2をデータ“0”から“1”へと変化させた。しかし、データ“0”から“2”へと変化させることも可能である。このような構成とした場合、閾値電圧の分布と読み出し時のワード線の電位とのマージンを大きくとることが可能である。このため、データ保持などの信頼性を上げることが可能である。

【0411】

図64は、第13の実施形態の変形例を示すものである。この変形例は、さらに、信頼性を向上させるため、メモリセルアレイの一端部に複数の第1、第2のフラグセルとダミーセルを配置している。すなわち、偶数ページ(BLE)用に3個の第1のフラグセルと、3個の第2のフラグセルを配置し、奇数ページ(BLO)用に3個の第1のフラグセルと、3個の第2のフラグセルを配置している。このような構成において、データの読み出し時に、偶数ページの3個の第1のフラグセルの多数決と、3個の第2のフラグセルの多数決を求めることにより、偶数ページにおける第2ページの書き込みの有無を判断する。また、奇数ページ用の3個の第1のフラグセルの多数決と、3個の第2のフラグセルの多数決を求めることにより、奇数ページにおける第2ページの書き込みの有無を判断する。このような構成とすれば、隣接するセルのFG-FG間容量により、後に書いた隣接セルの閾値電圧により、先に書いたセルの閾値電圧が変化した場合においても、確実に第2ページが書き込まれたかどうかを判断することができる。

【0412】

その他、本発明の要旨を変えない範囲において種々変形実施可能なことは勿論である。

【図面の簡単な説明】

【0413】

【図1】本発明の第1の実施形態に係るメモリセルのデータとメモリセルの閾値電圧の関係を示す図。

【図2】本発明の不揮発性半導体記憶装置の概略構成を示す構成図。

【図3】図2に示すメモリセルアレイ及びビット線制御回路の構成を示す回路図。

【図4】図4(a)(b)はメモリセル及び選択トランジスタを示す断面図。

【図5】メモリセルアレイの1つのNANDセルを示す断面図。

【図6】図3に示すデータ記憶回路の一例を示す回路図。

【図7】NANDセルに対する書き込み順序を示す図。

【図8】第1ページのプログラム動作を示すブロックダイアグラム。

【図9】第2ページのプログラム動作を示すブロックダイアグラム。

【図10】各データキャッシュとメモリセルのデータの関係を示す図。

【図11】データキャッシュの設定手順を示す図。

【図12】データキャッシュの設定手順を示す図。

【図13】第1ページのリード動作を示すダイアグラム。

【図14】第2ページのリード動作を示すダイアグラム。

【図15】第2ページのリード動作の変形例を示すダイアグラム。

【図16】本発明の第2の実施形態に係り、第1ページのリード動作を示すダイアグラム。

【図17】本発明の第3の実施形態に係り、プログラム動作を示すダイアグラム。

- 【図 18】図 17 の第 4 番目の書き込み動作を具体的に示すダイアグラム。
- 【図 19】図 17 の第 5 番目の書き込み動作を具体的に示すダイアグラム。
- 【図 20】図 17 の第 6 番目の書き込み動作を具体的に示すダイアグラム。
- 【図 21】本発明の第 4 の実施形態に係り、書き込み動作を示すダイアグラム。
- 【図 22】図 21 の一部の動作を示すダイアグラム。
- 【図 23】従来のパスライト方式の書き込みシーケンスを示すダイアグラム。
- 【図 24】本発明の第 5 の実施形態に適用されるデータ “1” の書き込み動作を示すアルゴリズム。
- 【図 25】本発明の第 5 の実施形態に係り、各データキャッシュとメモリセルのデータの関係を示す図。
- 【図 26】本発明の第 6 の実施形態に係り、第 2 ページの書き込み順序を示すダイアグラム。
- 【図 27】本発明の第 6 の実施形態に係り、各データキャッシュとメモリセルのデータの関係を示す図。
- 【図 28】本発明の第 7 の実施形態に係り、第 2 ページの書き込み順序を示すダイアグラム。
- 【図 29】本発明の第 7 の実施形態に係る各データキャッシュとメモリセルのデータの関係を示す図。
- 【図 30】本発明の第 7 の実施形態に係る各データキャッシュとメモリセルのデータの関係を示す図。
- 【図 31】本発明の第 7 の実施形態に係る各データキャッシュとメモリセルのデータの関係を示す図。
- 【図 32】本発明の第 7 の実施形態に係る各データキャッシュとメモリセルのデータの関係を示す図。
- 【図 33】本発明の第 7 の実施形態に係る各データキャッシュとメモリセルのデータの関係を示す図。
- 【図 34】本発明の第 8 の実施形態に係るメモリセルアレイとビット線制御回路を示す回路図。
- 【図 35】本発明の第 8 の実施形態に係るメモリセルのデータとメモリセルの閾値電圧の関係を示す図。
- 【図 36】本発明の第 8 の実施形態に係るメモリセルのデータとメモリセルの閾値電圧の関係を示す図。
- 【図 37】本発明の第 8 の実施形態に係るメモリセルの書き込み順序を示す図。
- 【図 38】本発明の第 8 の実施形態に係り、第 3 ページのプログラム動作を示すダイアグラム。
- 【図 39】本発明の第 8 の実施形態に係る各データキャッシュとメモリセルのデータの関係を示す図。
- 【図 40】本発明の第 8 の実施形態に係る各データキャッシュとメモリセルのデータの関係を示す図。
- 【図 41】図 41 (a) は、本発明の第 8 の実施形態に係り、第 1 ページのリード動作を示すダイアグラム、図 41 (b) は、第 2 ページの読み出し動作を示すダイアグラム。
- 【図 42】本発明の第 8 の実施形態に係り、第 3 ページの読み出し動作を示すダイアグラム。
- 【図 43】本発明の第 9 の実施形態に係る各データキャッシュとメモリセルのデータの関係を示す図。
- 【図 44】本発明の第 9 の実施形態に係る各データキャッシュとメモリセルのデータの関係を示す図。
- 【図 45】本発明の第 9 の実施形態に係る各データキャッシュとメモリセルのデータの関係を示す図。

【図 4 6】本発明の第 9 の実施形態に係る各データキャッシュとメモリセルのデータの関係を示す図。

【図 4 7】本発明の第 9 の実施形態に係るメモリセルのデータとメモリセル閾値電圧の関係を示す図。

【図 4 8】本発明の第 9 の実施形態の変形例を示すフローチャート。

【図 4 9】本発明の第 10 の実施形態に係り、NANDセルに対する書き込み順序を示す図。

【図 5 0】本発明の第 11 の実施形態に係るメモリセルアレイとビット線制御部の構成を示す回路構成図。

【図 5 1】本発明の第 11 の実施形態に適用されるデータ記憶回路の回路図。

【図 5 2】本発明の第 11 の実施形態における NANDセルの書き込み順序を示す図。

【図 5 3】図 5 2 の変形例を示す図。

【図 5 4】図 5 0 の変形例を示す図。

【図 5 5】NANDセルに 3 ビットのデータを書き込む順序を示す図。

【図 5 6】NANDセルに 3 ビットのデータを書き込む順序を示す図。

【図 5 7】本発明の第 12 の実施形態に係るメモリセルアレイとビット線制御部の構成を示す回路構成図。

【図 5 8】図 5 8 (a) 乃至図 5 8 (d) は、第 12 の実施形態の動作を示すフローチャート。

【図 5 9】図 3 に示す回路の変形例を示す回路図。

【図 6 0】図 6 0 (a) (b) は、第 13 の実施形態に係り、閾値電圧の分布の一例を示す図。

【図 6 1】図 6 1 (a) (b) は、第 13 の実施形態に係り、フラグセルの閾値電圧の分布の一例を示す図。

【図 6 2】第 13 の実施形態に係り、第 1 ページ読み出し動作の一例を示すフローチャート。

【図 6 3】第 13 の実施形態に係り、第 2 ページ読み出し動作の一例を示すフローチャート。

【図 6 4】第 13 の実施形態の変形例を示す概略構成図。

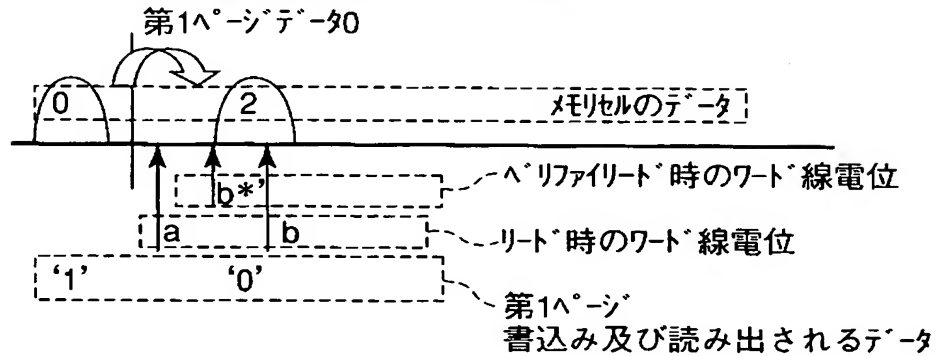
【符号の説明】

【0414】

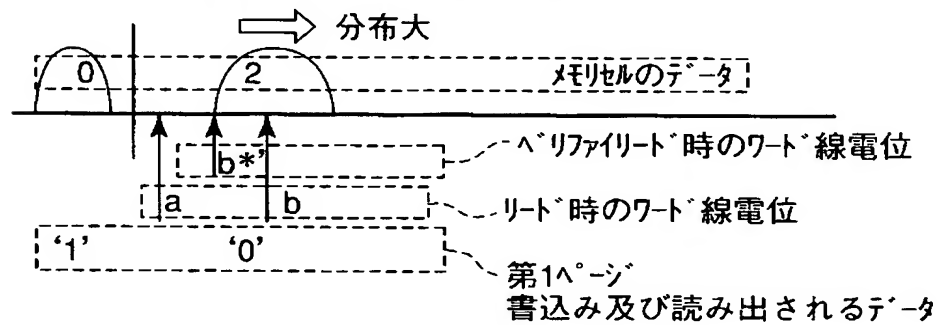
1…メモリセルアレイ、2…ビット制御回路、3…カラムデコーダ、4…データ入出力バッファ、5…データ入出力端子、6…ワード線制御回路、7…制御電圧発生回路、8…制御信号入力端子、10…データ記憶回路、10a、10b…フラグ用データ記憶回路、PDC…プライマリデータキャッシュ、SDC…セコンダリデータキャッシュ、DDC…ダイナミックデータキャッシュ、TDC…テンポラリデータキャッシュ、FC、FC1、FC2…フラグセル。

【書類名】 図面
【図 1】

(a) 第1ページ書き込み後 第2ページ書き込み前

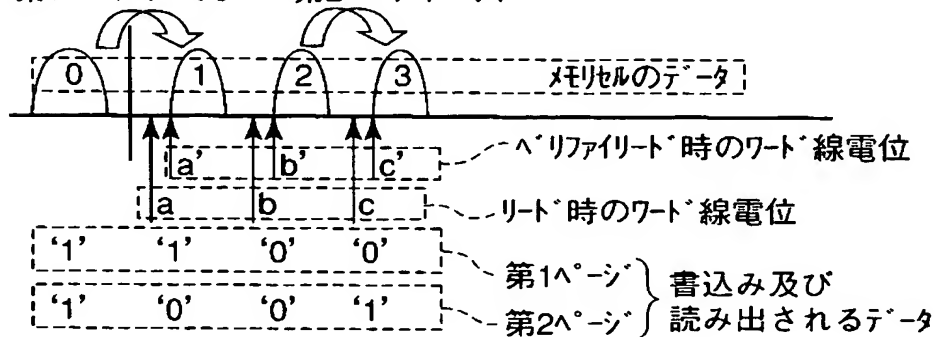


(b) 第2ページ書き込み前 隣接セル書き込み後

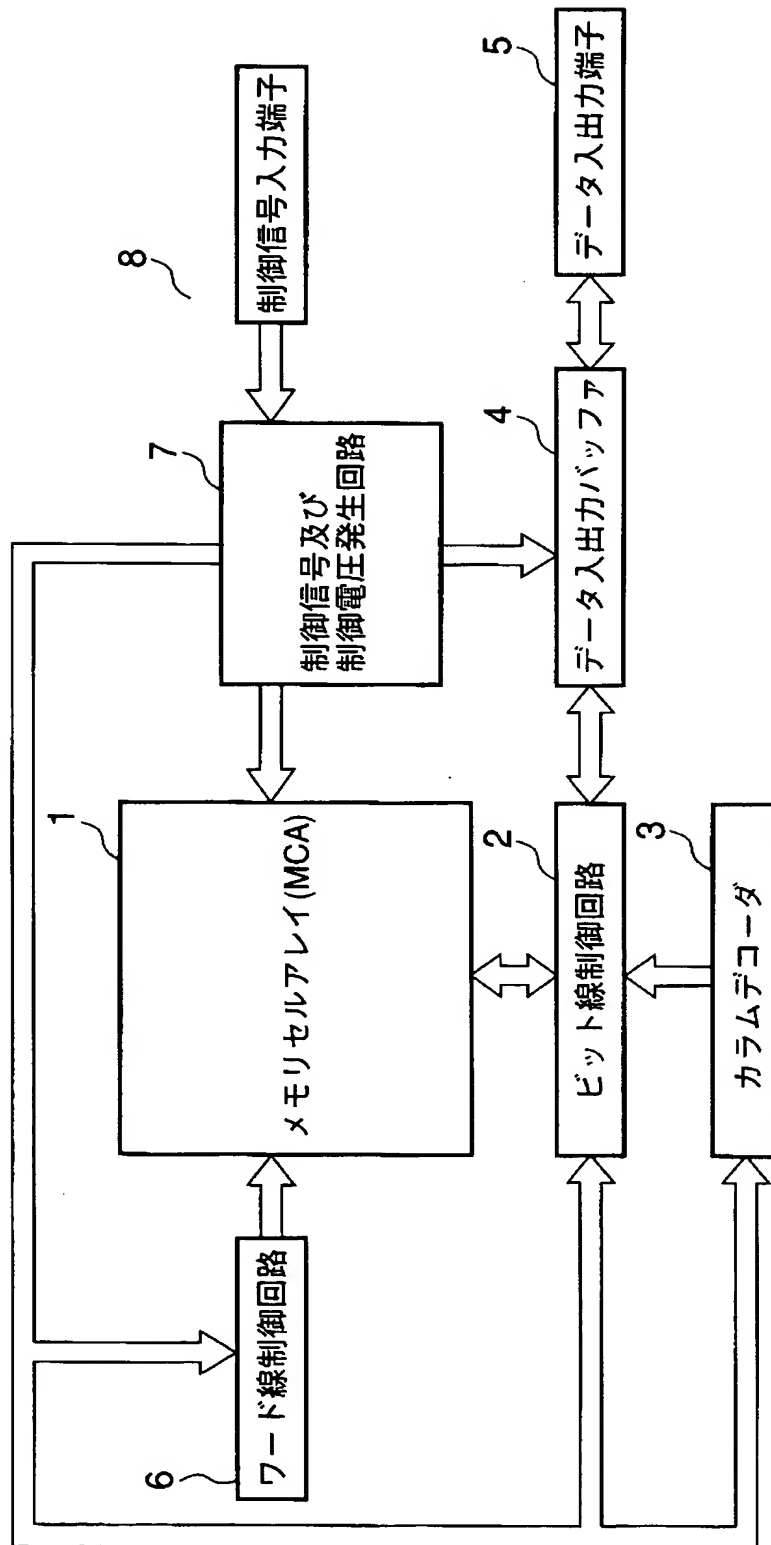


(c) 第2ページ書き込み後

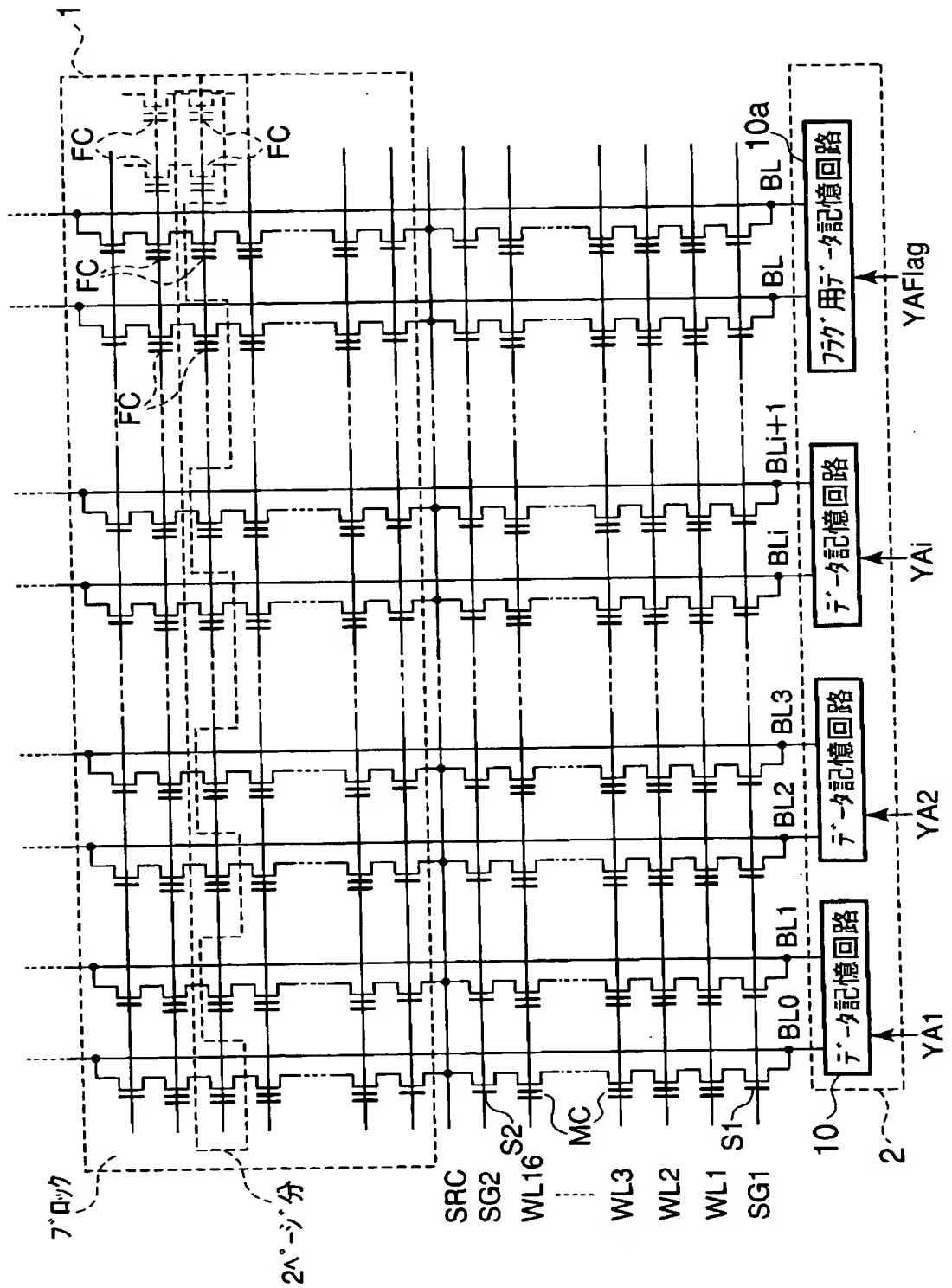
第1ページデータ1で 第1ページデータ0で
第2ページデータ0 第2ページデータ1



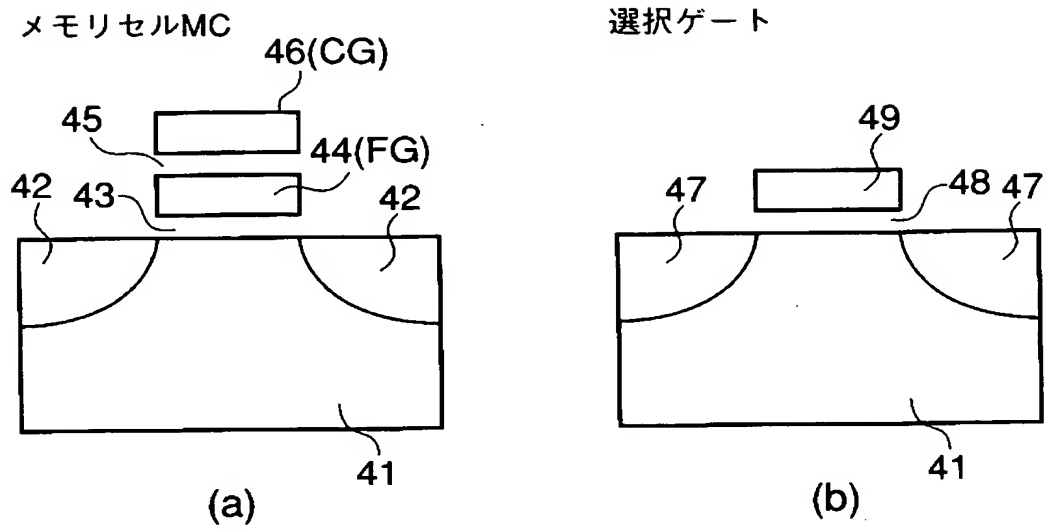
【図 2】



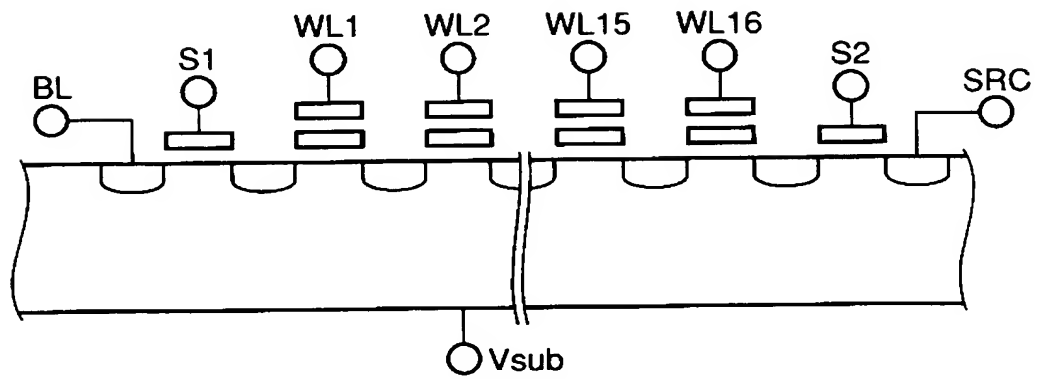
【図 3】



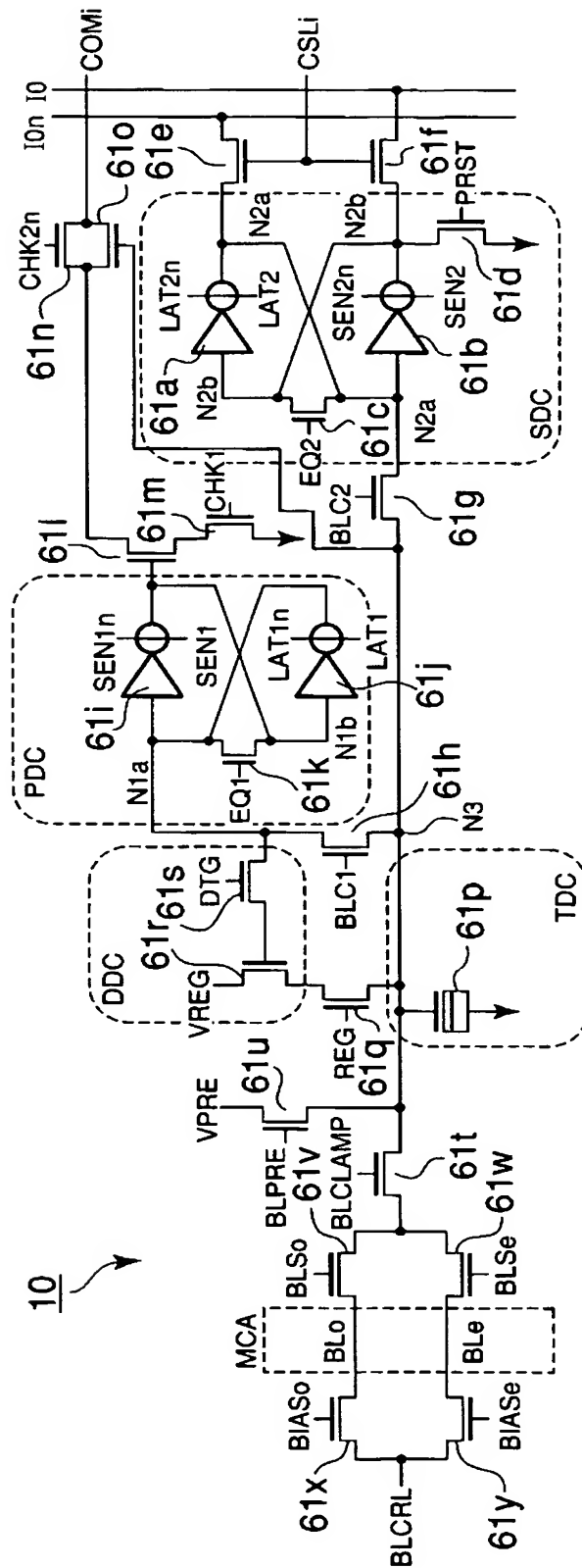
【図 4】



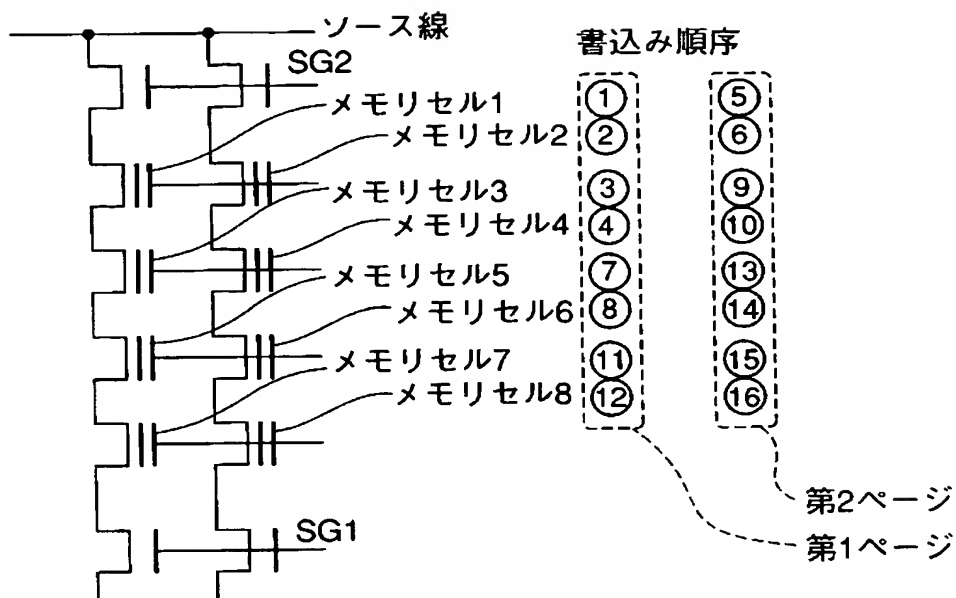
【図 5】



【図 6】

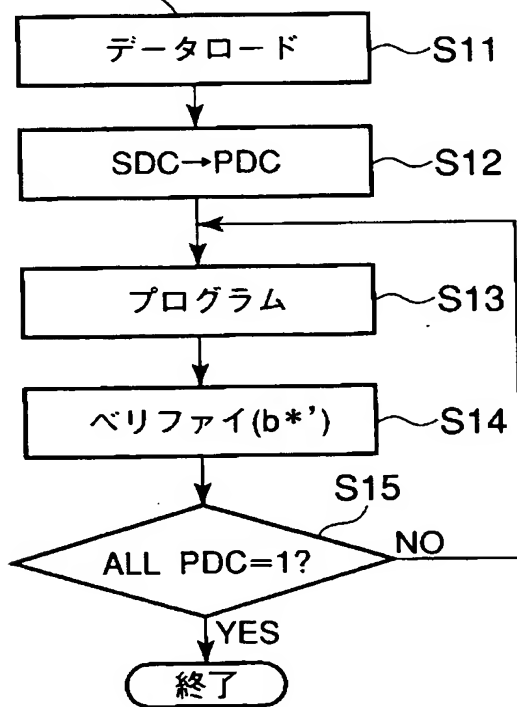


【図7】



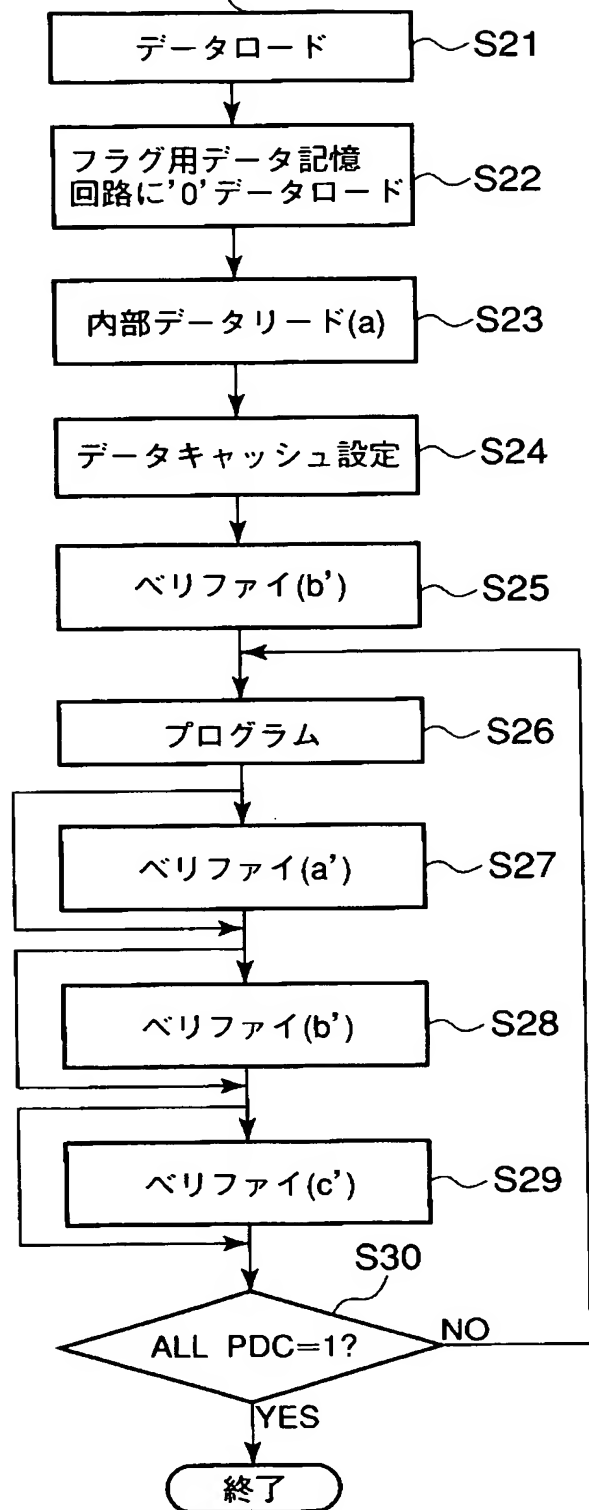
【図8】

第1ページ書き込み



【図 9】

第2ページ書込み



【図 10】

データロード、内部リード後

	書き込み後のメモリセルのデータ				
	0	1	2	3	
SDC	1	0	0	1	外部より入力される書き込み及び読み出されるデータ
PDC	0	0	1	1	内部リードにより読み出されるデータ

(a)

データキャッシュ設定後

	書き込み後のメモリセルのデータ				
	0	1	2	3	
SDC	1	1	0	0	メモリセルデータ1のベリファイ時の充電に使用
DDC	0	1	1	0	メモリセルデータ2のベリファイ時の充電に使用
PDC	1	0	0	0	1:書き込み非選択、0:書き込み

(b)

【図 11】

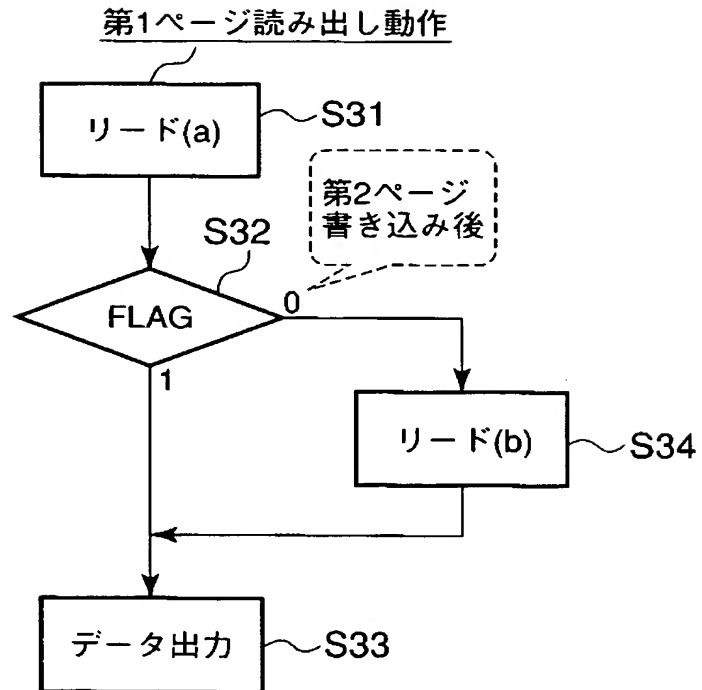
データキャッシュ設定手順

SDC				DDC				PDC				TDC				書込後のメモリセル のデータ
0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3	
1	0	0	1					0	0	1	1					内データロード後
1	0	0	1	0	0	1	1	0	0	1	1					PDC→DDCにコピー
1	0	0	1	0	0	1	1	1	0	0	1					SDC→PDCにコピー
1	0	0	1	0	0	1	1	1	0	0	0	1	1	1	1	TDC=H
1	0	0	1	0	0	1	1	1	0	0	1	1	1	0	0	VREG=L, REG=H
1	1	0	0	0	0	1	1	1	0	0	1	1	1	0	0	TDC→SDCにコピー
1	1	0	0	0	0	1	1	1	0	0	1	1	0	0	1	PDC→TDCにコピー
1	1	0	0	0	0	1	1	1	0	0	1	1	0	0	0	VREG=L, REG=H
1	1	0	0	1	0	0	1	1	0	0	1	1	0	0	0	PDC→DDCにコピー
1	1	0	0	1	0	0	1	1	0	0	0	1	0	0	0	TDC→PDCにコピー

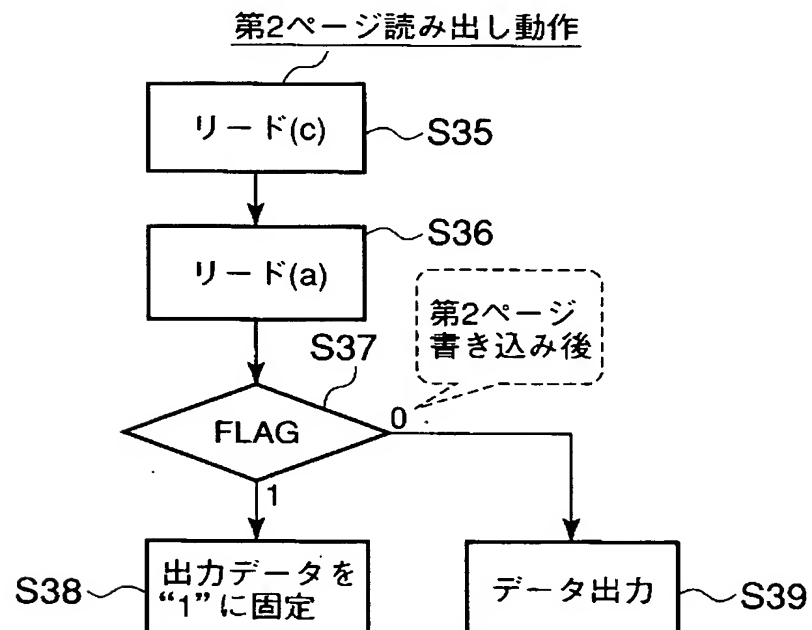
【図 12】

SDC				DDC				PDC				TPC				
1	1	0	0	1	0	0	1	1	0	0	0	1	1	1	1	TDC=H
1	1	0	0	1	0	0	1	1	0	0	0	0	1	1	0	VREG=L, REG=H
1	1	0	0	1	0	0	1	1	0	0	0	0	1	1	0	PDC→DDCにコピ-
1	1	0	0	1	0	0	0	1	1	1	0	0	1	1	0	TDC→PDCにコピ-
1	1	0	0	1	0	0	0	1	1	1	0	0	0	0	0	TDC=L
1	1	0	0	1	0	0	0	1	1	1	0	1	0	0	0	VREG=H, REG=H
1	1	0	0	0	1	1	0	1	1	1	0	1	0	0	0	PDC→DDCにコピ-
1	1	0	0	0	1	1	0	1	0	0	0	1	0	0	0	TDC→PDCにコピ-

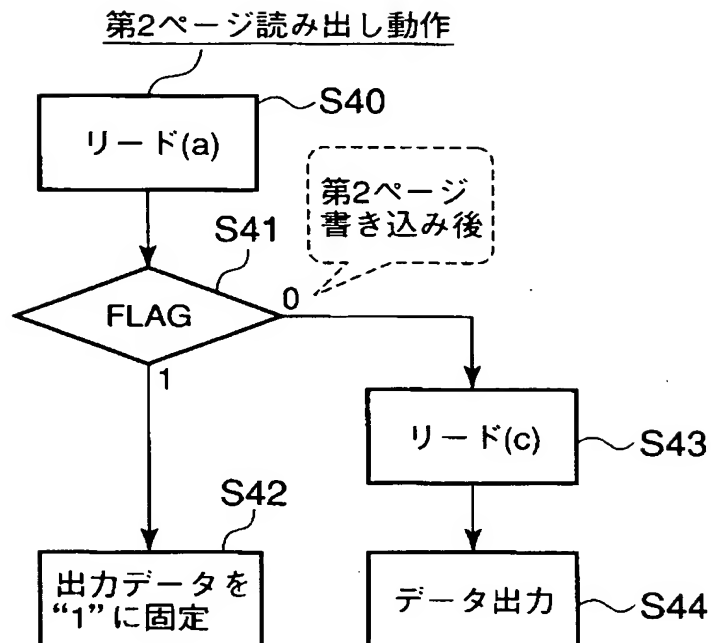
【図 13】



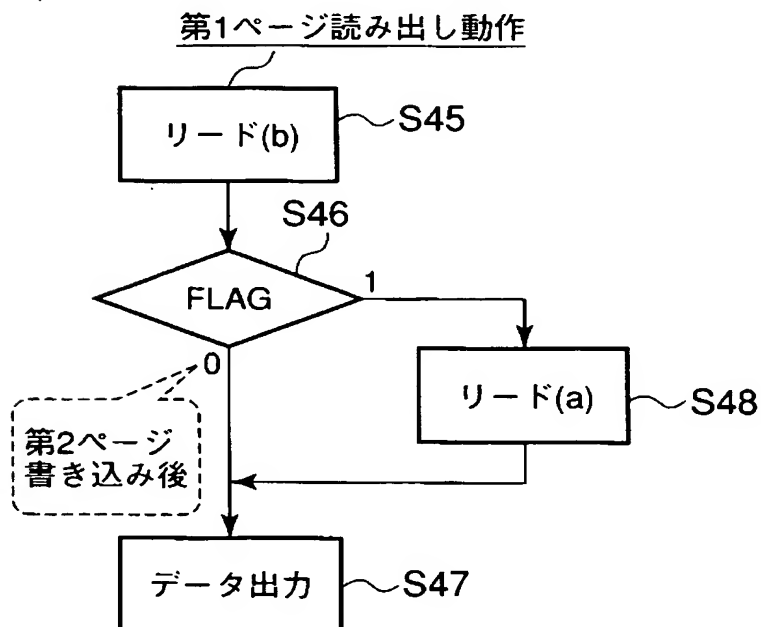
【図 14】



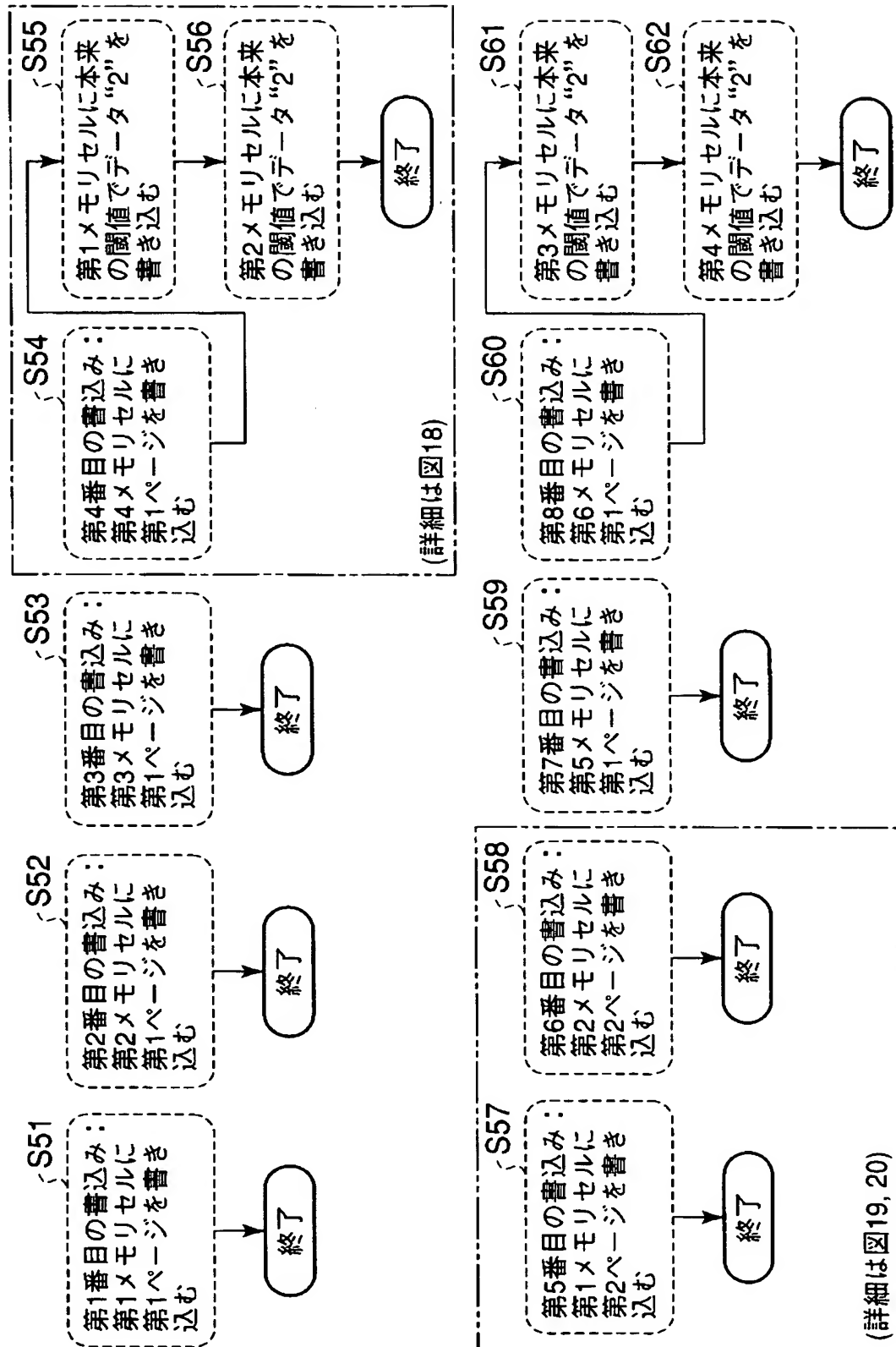
【図15】



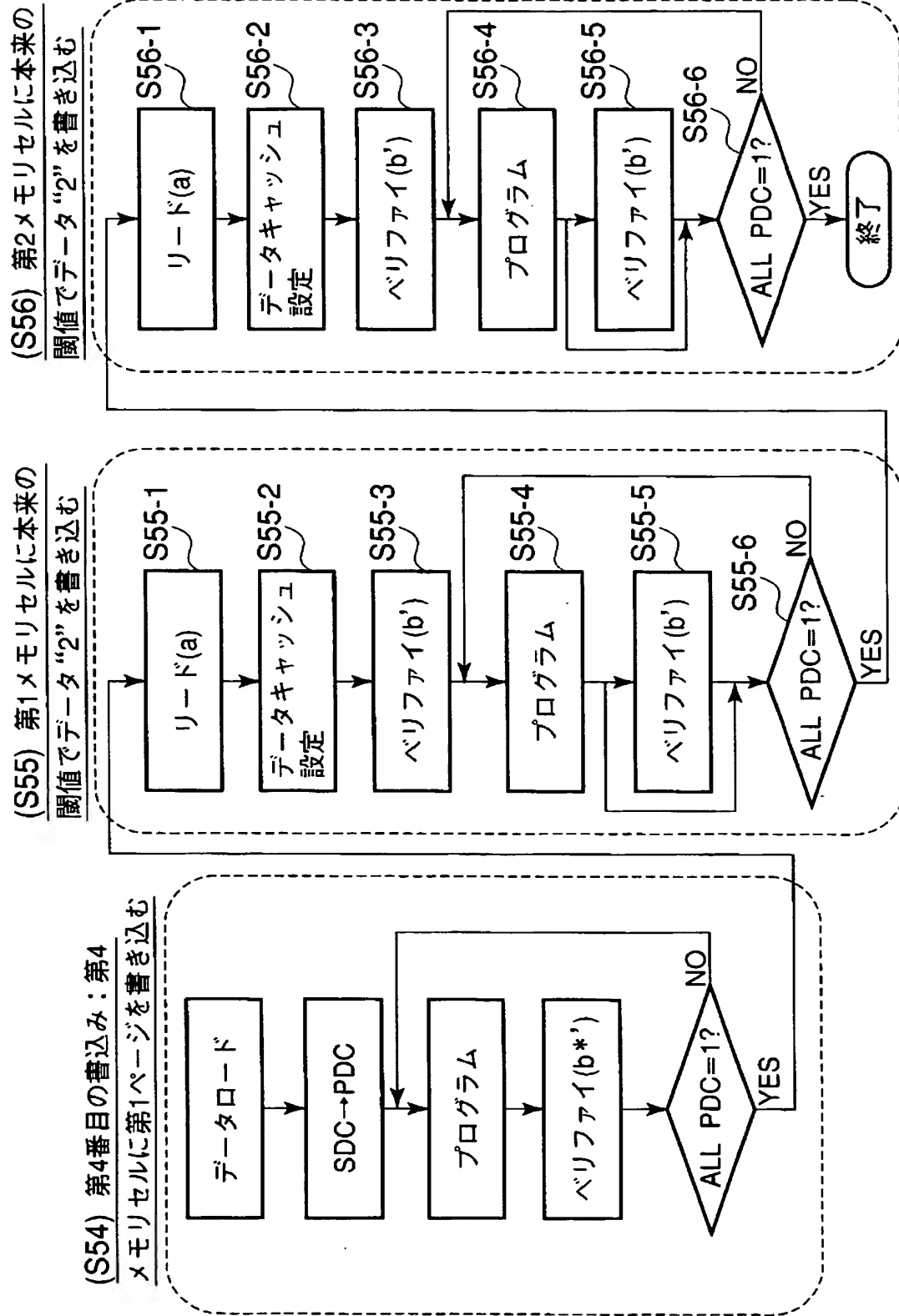
【図16】



【図17】

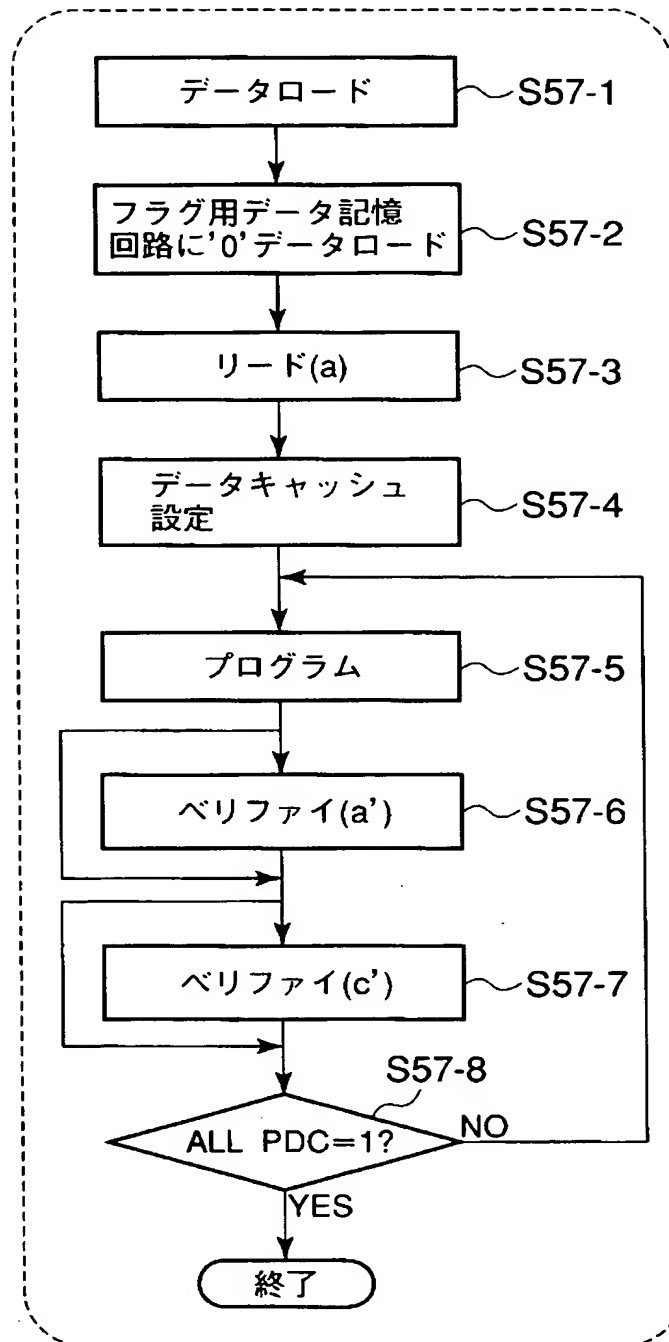


【図18】



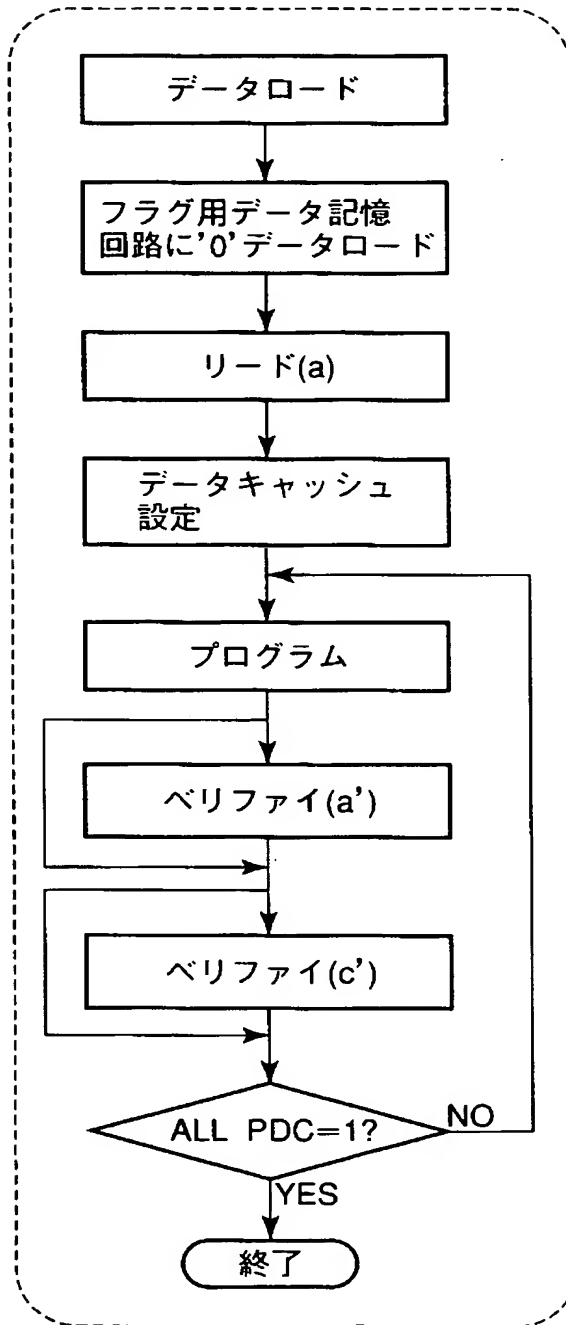
【図19】

(S57) 第5番目の書き込み：第1
メモリセルに第2ページを書込む

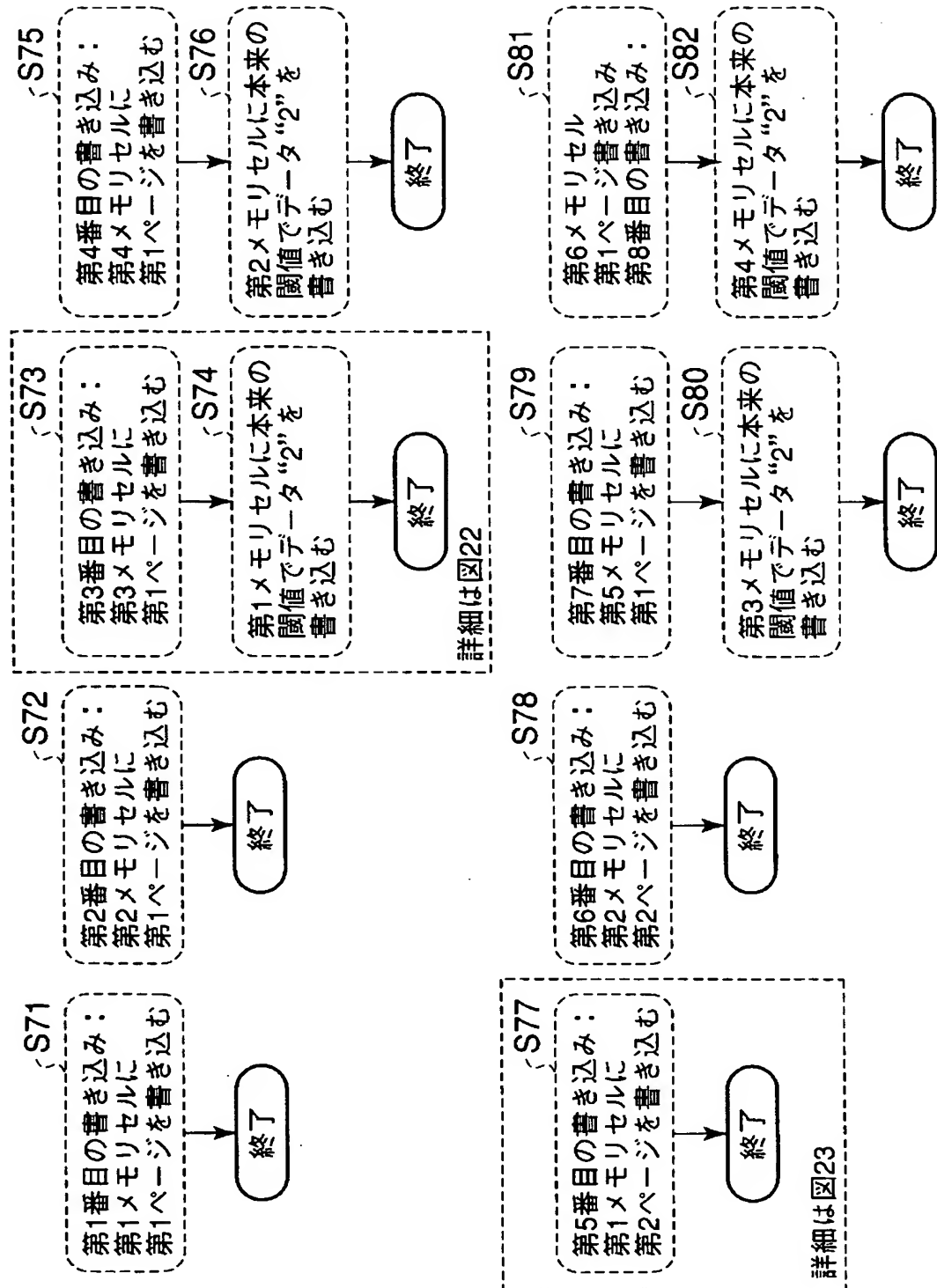


【図 20】

(S58) 第6番目の書込み：第2
メモリセルに第2ページを書込む

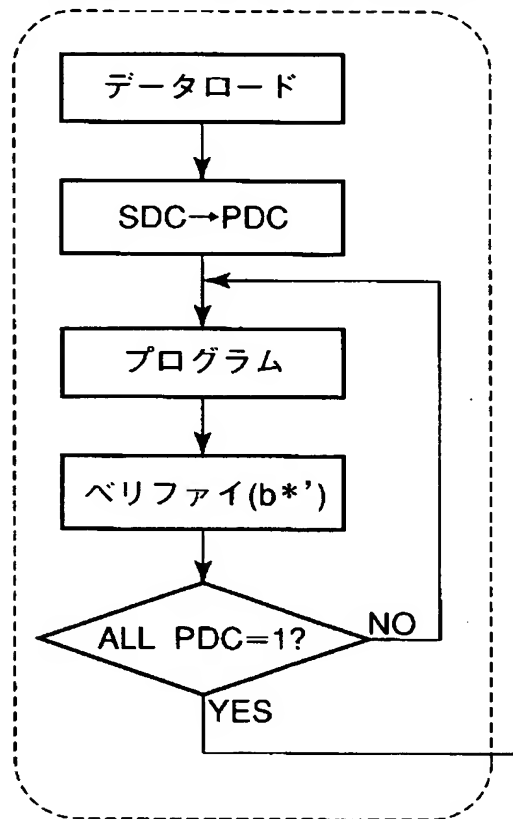


【図 21】

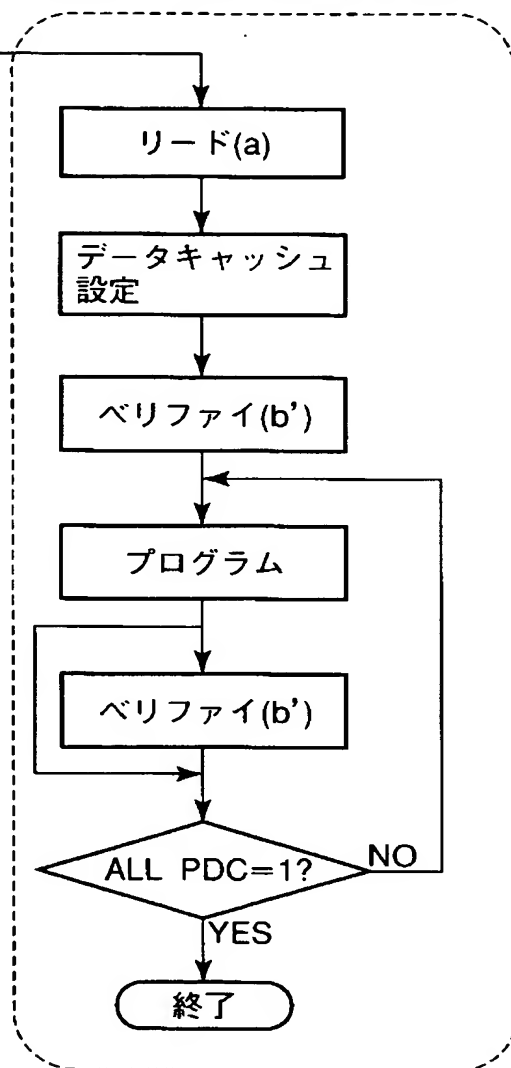


【図 22】

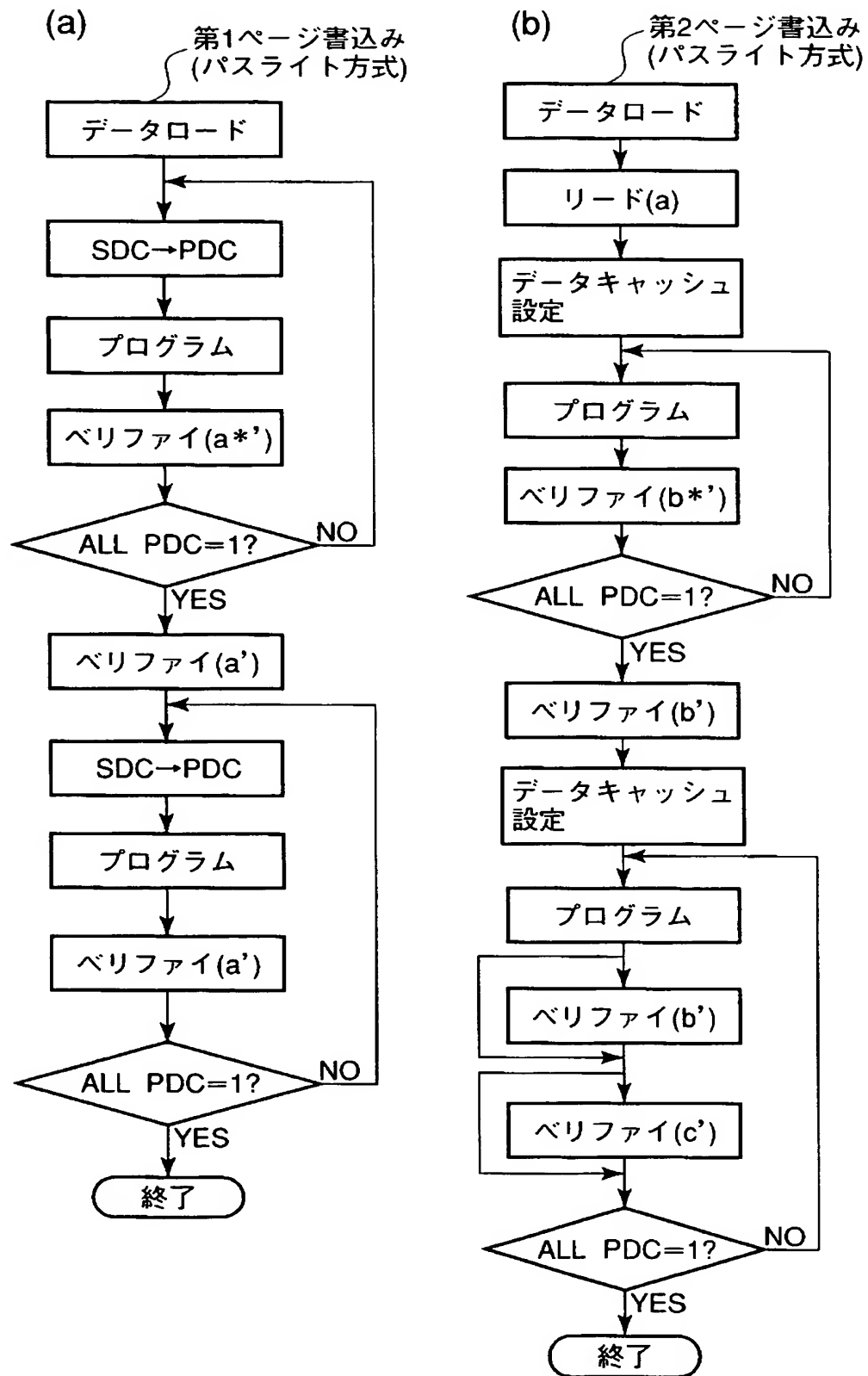
(S73) 第3番目の書き込み：第3
メモリセルに第1ページを書き込む



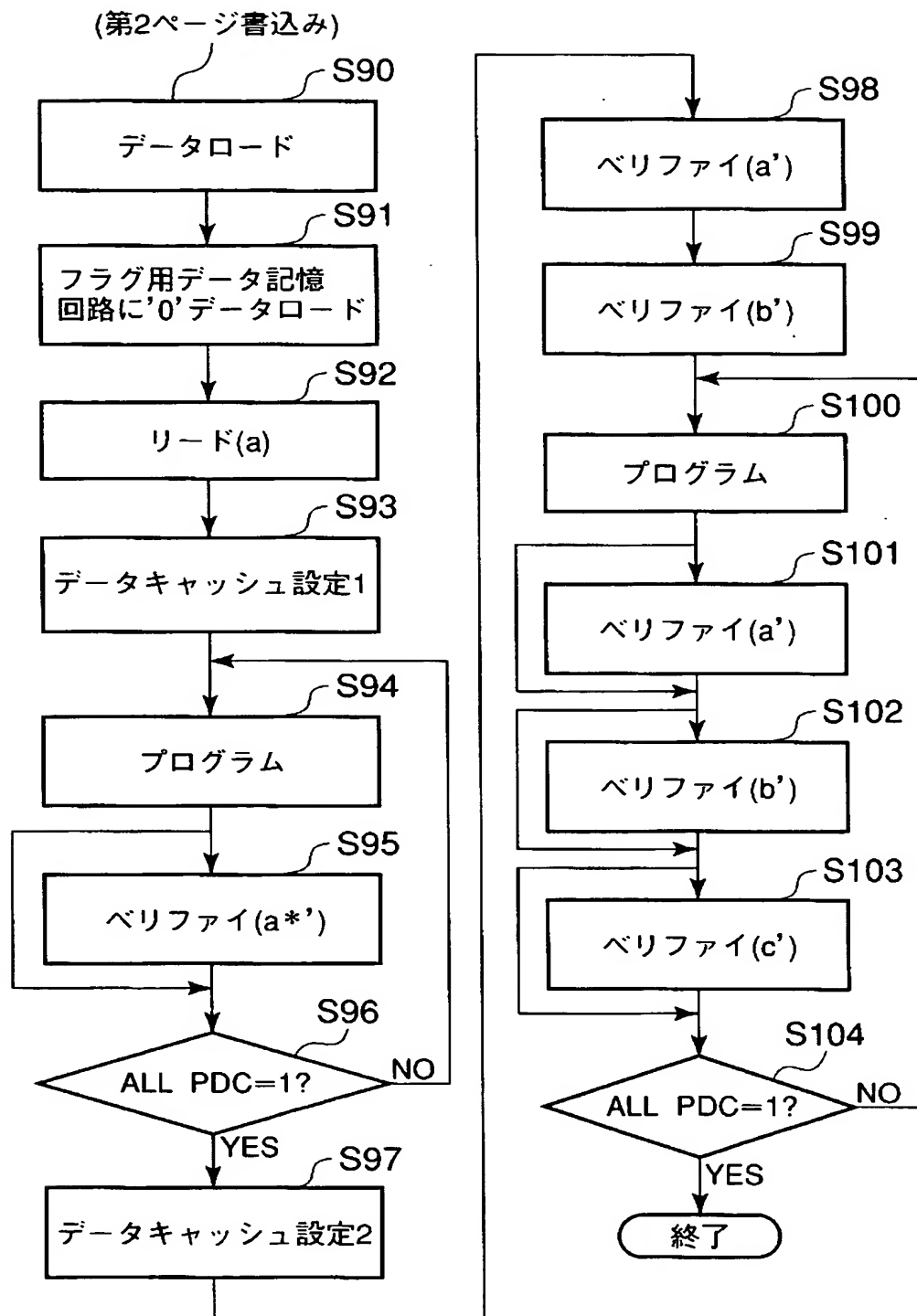
(S74) 第1メモリセルに本来の
閾値でデータ“2”を書き込む



【図 23】



【図 24】



【図 2 5】

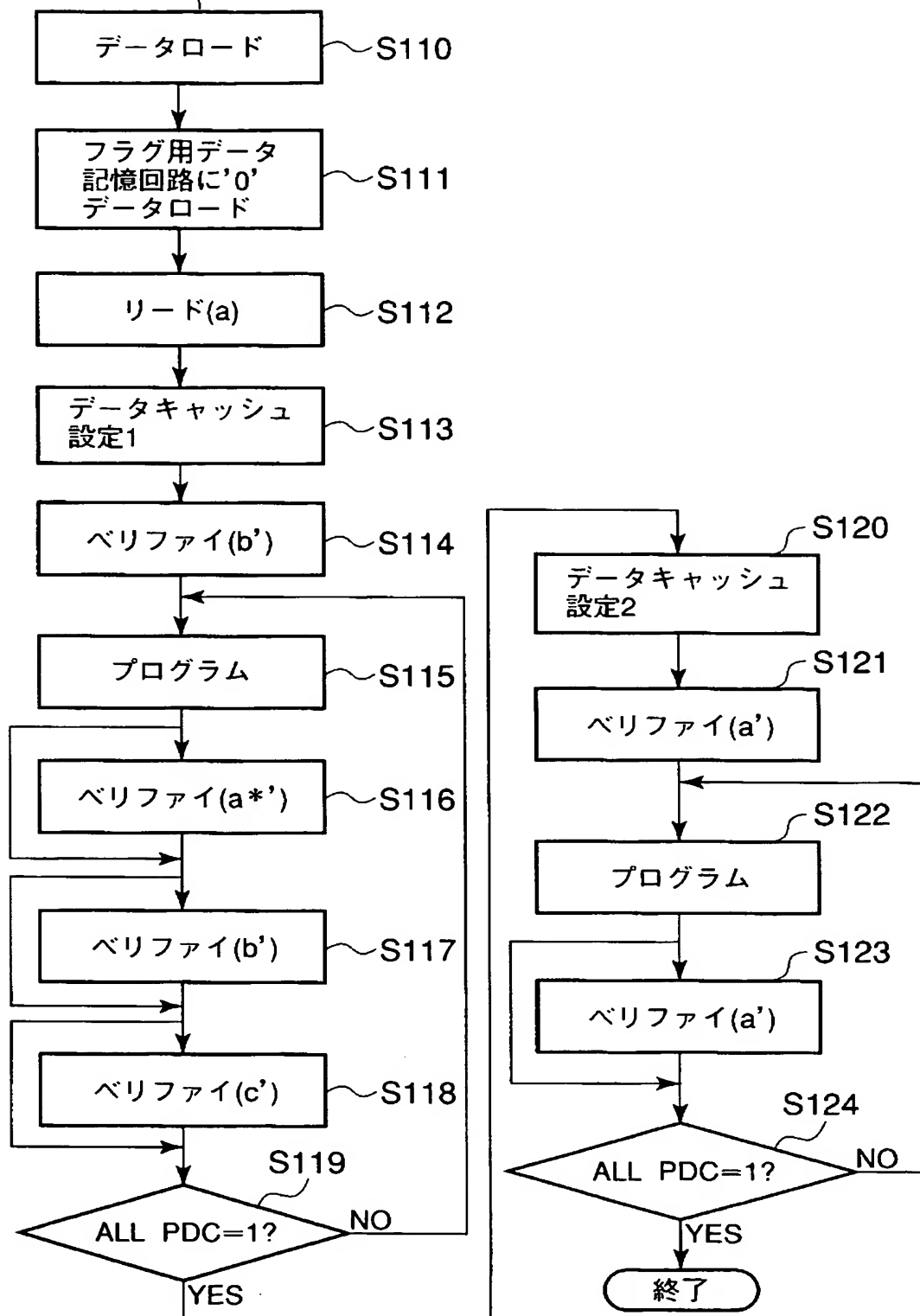
データキャッシュ設定1

	書込み後のメモリセルのデータ				
	0	1	2	3	
SDC	1	0	0	1	
DDC	0	0	1	1	
PDC	1	0	1	1	1：書込み非選択、0：書込み

(a)

【図 26】

(第2ページ書込み)



【図 27】

データキャッシュ設定1

	書き込み後のメモリのセルのデータ				
	0	1	2	3	
SDC	0	1	0	0	メモリセルデータ1のベリファイ時の充電に使用
DDC	0	1	1	0	メモリセルデータ2のベリファイ時の充電に使用
PDC	1	0	0	0	1: 書き込み非選択、0: 書き込み

(a)

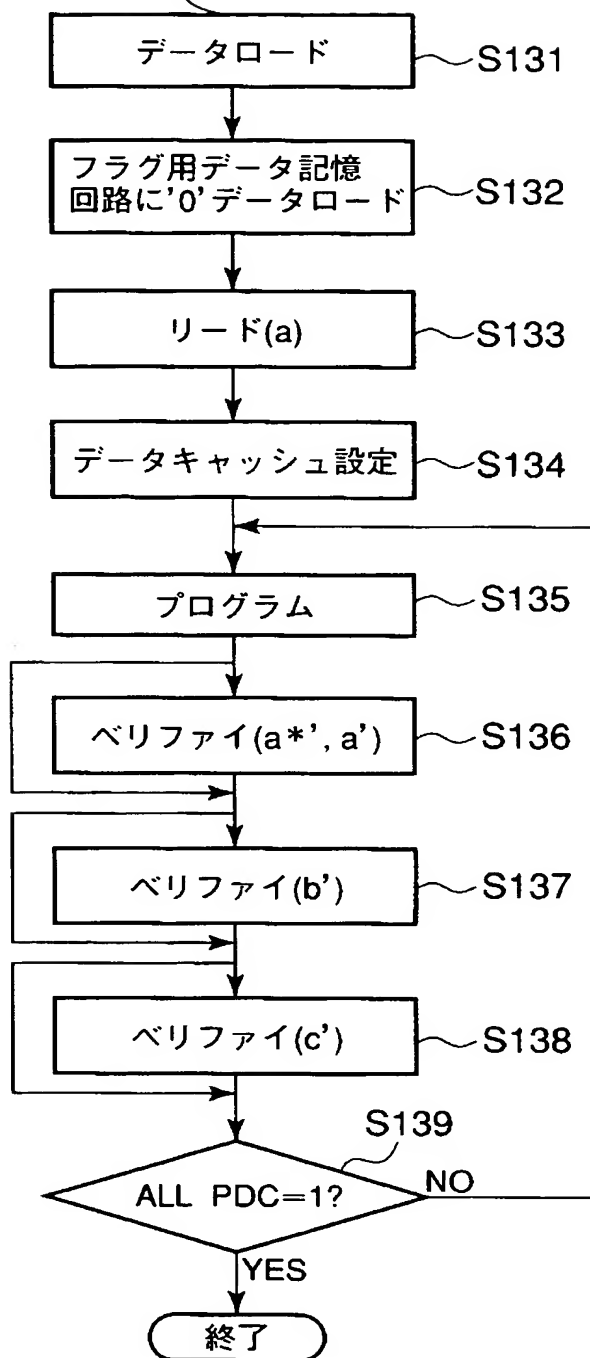
データキャッシュ設定2

	書き込み後のメモリのセルのデータ				
	0	1	2	3	
PDC	1	0	1	1	1: 書き込み非選択、0: 書き込み

(b)

【図 28】

(第2ページ書込み)



【図 29】

データロード、内部ロード後

	書き込み後のメモリのデータ				
	0	1	2	3	
SDC	1	0	0	1	外部より入力される書き込み及び読み出されるデータ
PDC	0	0	1	1	内部ロードにより読み出されるデータ

(a)

データキャッシュ設定後

	書き込み後のメモリのデータ				
	0	1	2	3	
SDC	0	1	1	0	メモリセルデータ2のベリファイ時の充電に使用
DDC	1	0	1	1	プログラム時のビット線プリチャージ メモリセルデータ1のベリファイ時の充電に使用
PDC	1	0/1	0	0	1: 書き込み非選択、0: 書き込み

(b)

【図 3 0】

DDCのデータでビット線をプリチャージ

	書込み後のメモリセルのデータ			
	0	1	2	3
	Vdd	F(Vss)	Vdd	Vdd
ビット線				

(a)

BLC1=Vclampとして、PDCをビット線に接続

	書込み後のメモリセルのデータ			
	0	1	2	3
	Vdd	0/中間	0	0
ビット線				

(b)

プログラムリカバリ中にPDCのデータをDDCへ、DDCのデータを反転しPDCに転送

	書込み後のメモリセルのデータ			
	0	1	2	3
	0	1	1	0
SDC				メモリセルデータ2のベリファイ時の充電に使用
DDC	1	0/1	0	0
				1: 書込み非選択、0: 書込み
PDC	0	1	0	0
				プログラム時のビット線プリチャージ メモリセルデータ1のベリファイ時の充電に使用

(c)

【図 31】

ベリファイ(a)
PDCのデータでビット線充電
WL=a*の電位で、ビット線放電
ビット線放電中にPDCのデータを反転させておく

	書込み後のメモリセルのデータ				
	0	1	2	3	
SDC	0	1	1	0	メモリセルデータ2のベリファイ時の充電に使用
DDC	1	0/1	0	0	1: 書込み非選択、0: 書込み
PDC	1	0	1	1	プログラム時のビット線プリチャージ メモリセルデータ1のベリファイ時の充電に使用

(a)

ビット線の電位をTDCに取り込む
VREG=H、REG=Hとしてダイナミックデータが1の場合TDCを1にする。
PDCのデータをDDCへ転送、TDCのデータをPDCへ転送

	書込み後のメモリセルのデータ				
	0	1	2	3	
SDC	0	1	1	0	メモリセルデータ2のベリファイ時の充電に使用
DDC	1	0	0	1	プログラム時のビット線プリチャージ メモリセルデータ1のベリファイ時の充電に使用
PDC	1	0/1	1	1	1: 書込み非選択、0: 書込み

(b)

【図 3 2】

WL=a'でビット線放電
VREG=H、REG=Hとしてダイナミックデータが1の場合TDCを1にする。
PDCのデータをDDCへ転送
TDCのデータをPDCへ転送

	書き込み後のメモリセルのデータ				
	0	1	2	3	
SDC	0	1	1	0	メモリセルデータ2のベリファイ時の充電に使用
DDC	1	0/1	0	0	1：書き込み非選択、0：書き込み
PDC	1	0	1	1	プログラム時のビット線プリチャージ メモリセルデータ1のベリファイ時の充電に使用

(a)

DDCのデータをPDCへ、PDCのデータをDDCへ

	書き込み後のメモリセルのデータ				
	0	1	2	3	
SDC	0	1	1	0	メモリセルデータ2のベリファイ時の充電に使用
DDC	1	0	1	1	プログラム時のビット線プリチャージ メモリセルデータ1のベリファイ時の充電に使用
PDC	1	0/1	0	0	1：書き込み非選択、0：書き込み

(b)

【図 33】

メモリセルデータ1、ベリファイ(a*)の書込みが全て終了 (ベリファイ(a')の書込みは未達成の場合もある)

	書込み後のメモリセルのデータ				
	0	1	2	3	
SDC	0	1	1	0	メモリセルデータ2のベリファイ時の充電に使用
DDC	1	0	1	1	プログラム時のビット線プリチャージ メモリセルデータ1のベリファイ時の充電に使用
PDC	1	1	0	0	1: 書込み非選択、0: 書込み

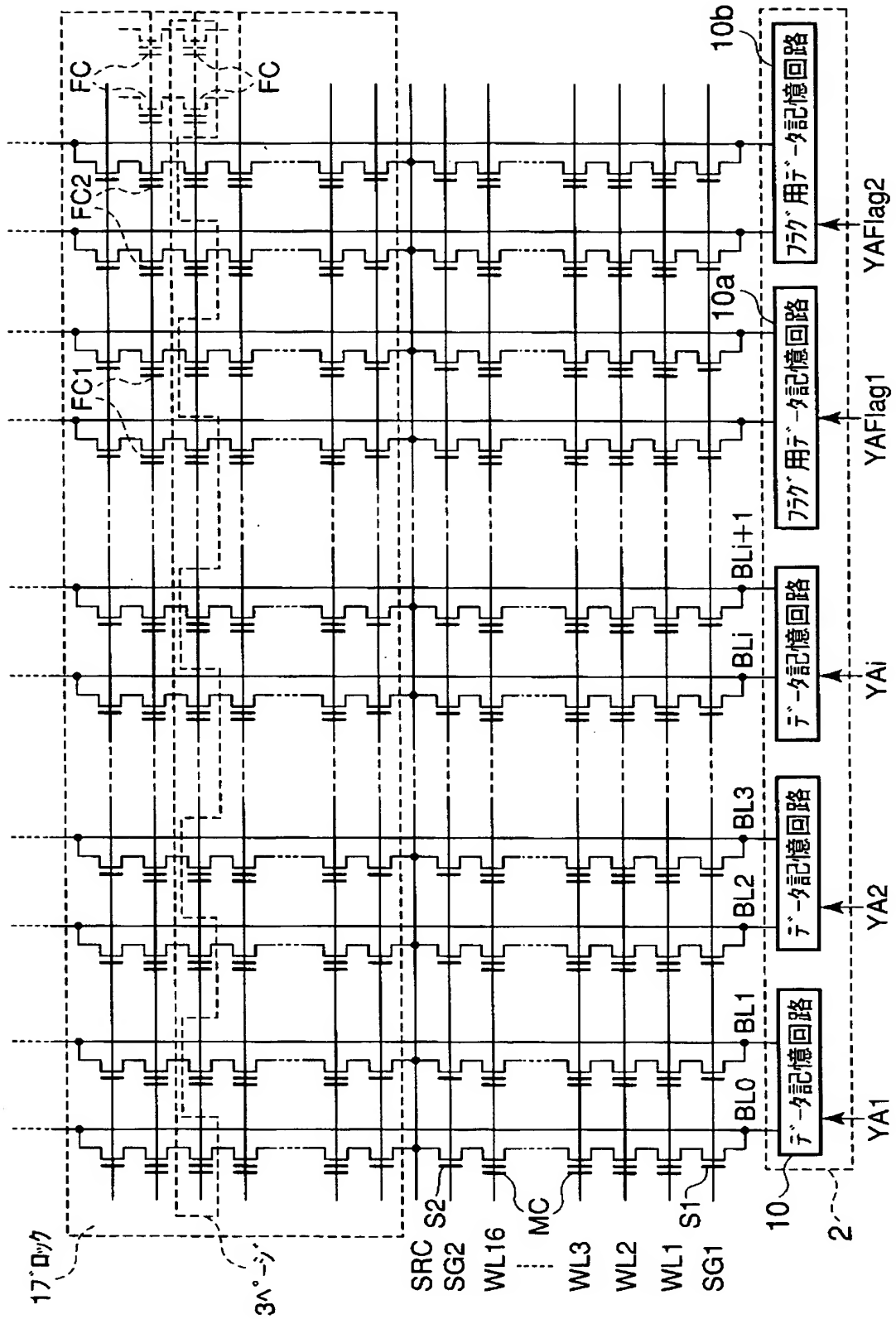
(a)

メモリセルデータ1、ベリファイ(a')の書込みが全て終了 (ベリファイ(a')の書込みは達成されている)

	書込み後のメモリセルのデータ				
	0	1	2	3	
SDC	0	1	1	0	メモリセルデータ2のベリファイ時の充電に使用
DDC	1	1	1	1	プログラム時のビット線プリチャージ メモリセルデータ1のベリファイ時の充電に使用
PDC	1	1	0	0	1: 書込み非選択、0: 書込み

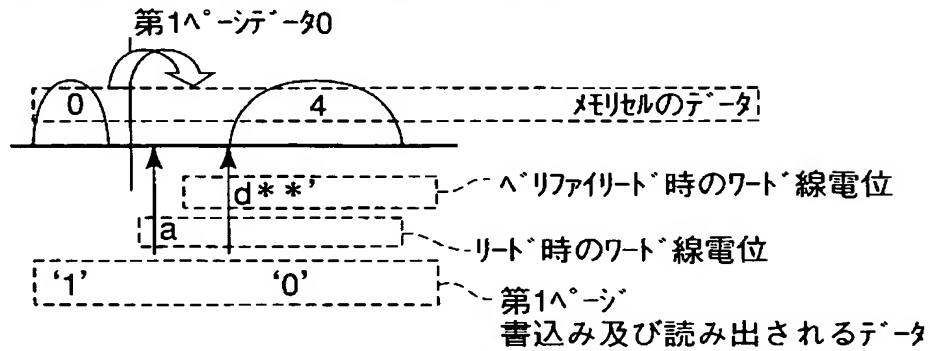
(b)

【図 34】

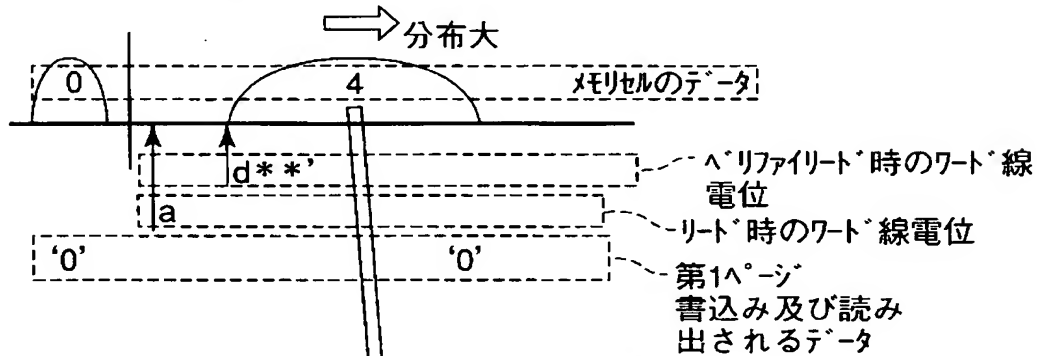


【図 35】

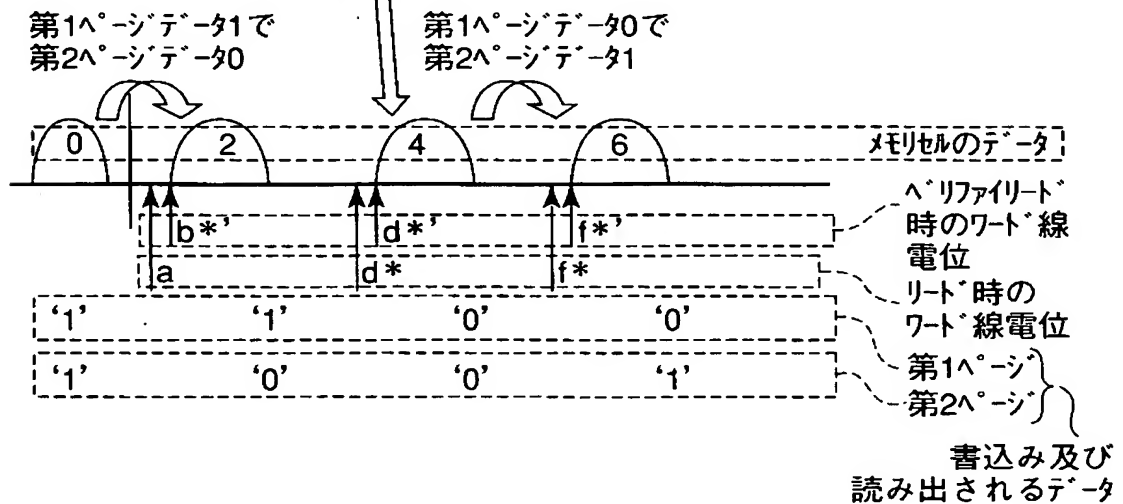
(a) (第1ページ書き込み後、第2ページ書き込み前)



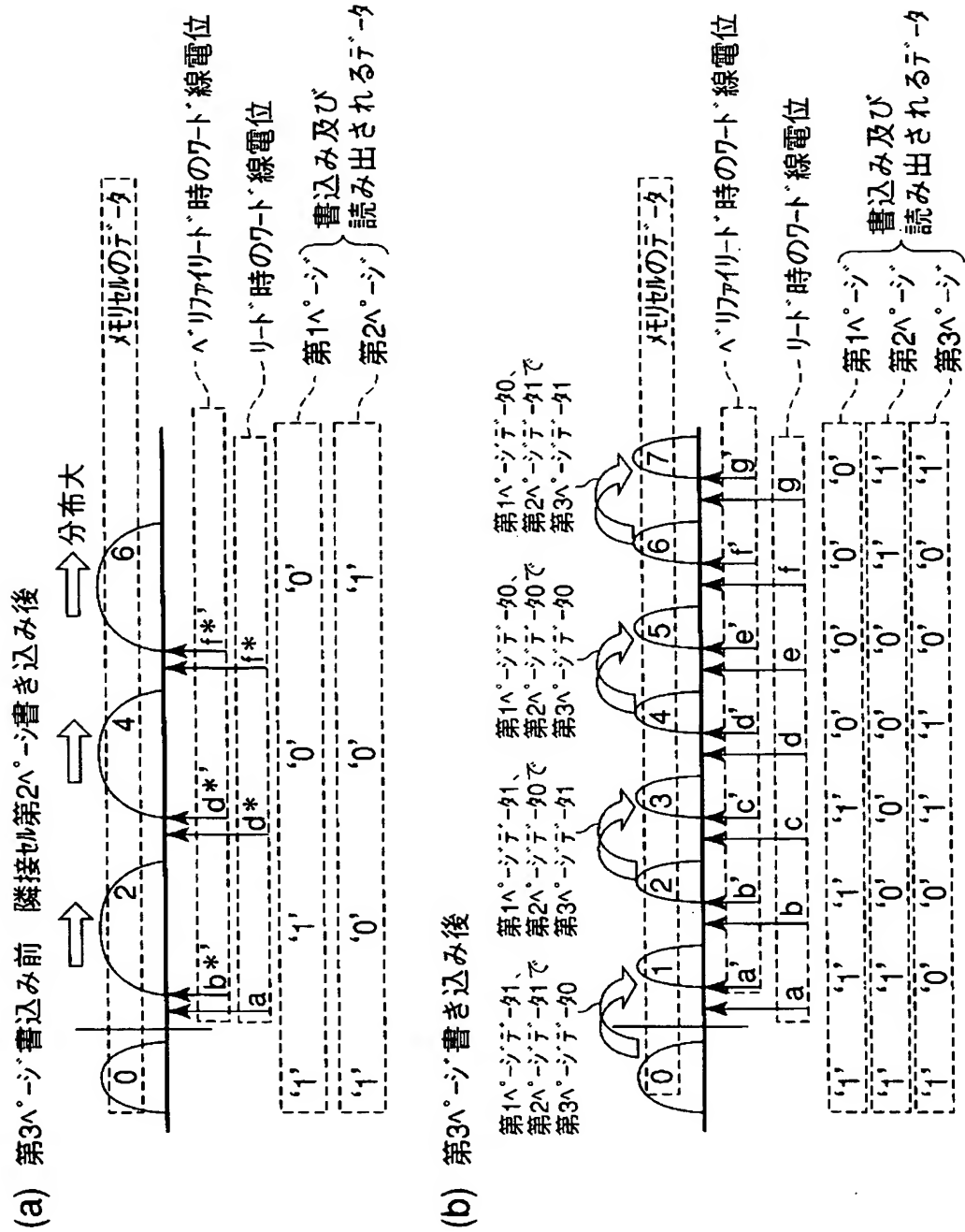
(b) (第1ページ書き込み後、第2ページ書き込み前
第1ページ隣接セル書き込み後)



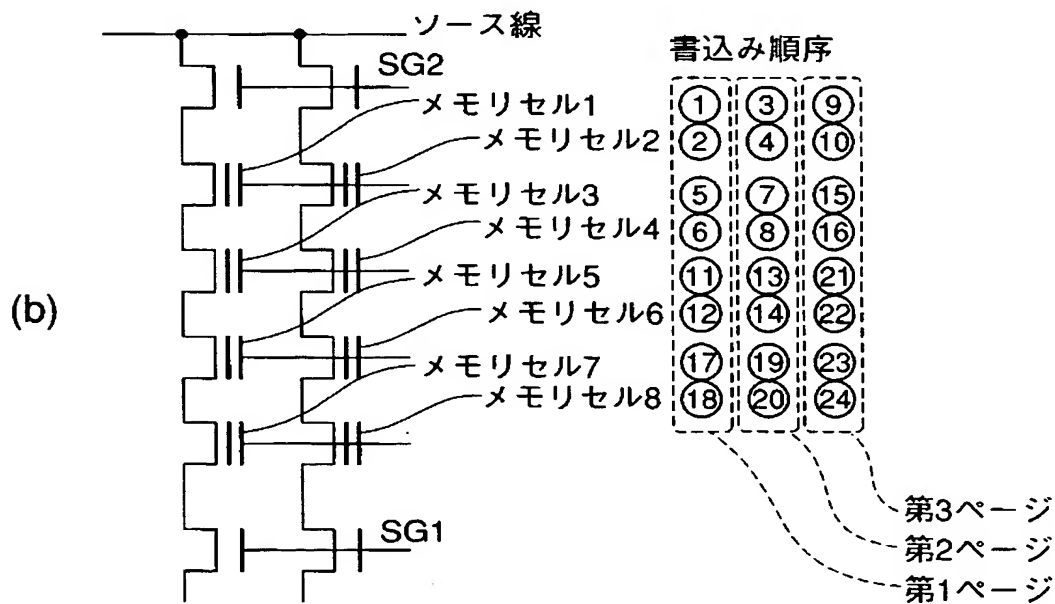
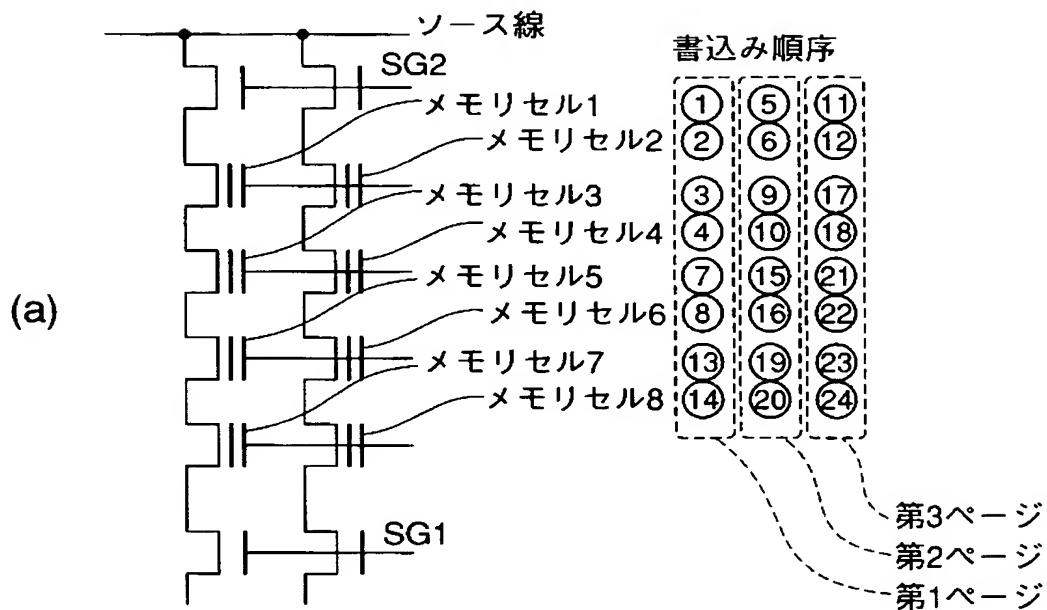
(c) 第2ページ書き込み後 第3ページ書き込み前
隣接セル第2ページ書き込み前



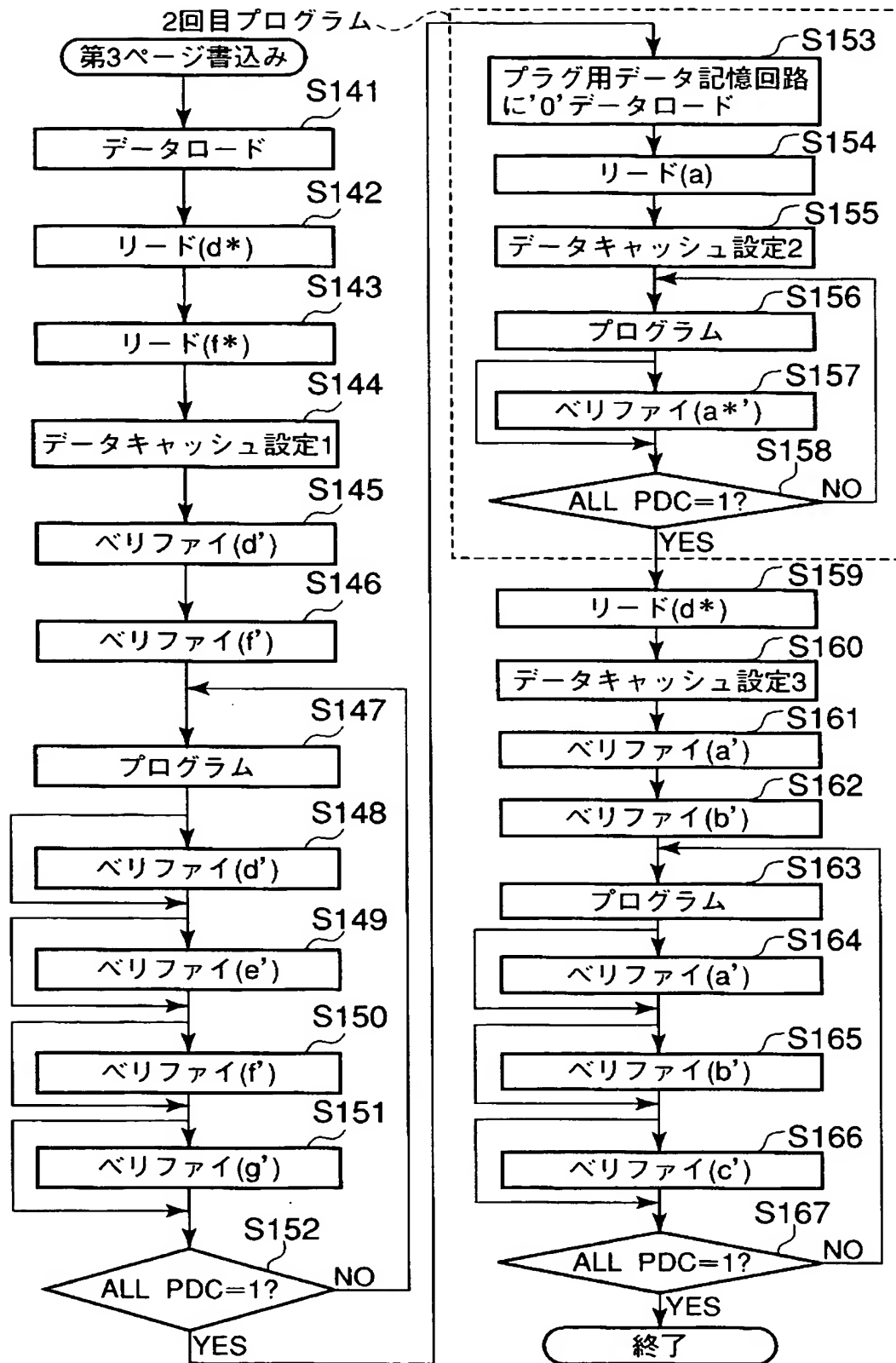
【図 36】



【図37】



【図 38】



【図 39】

第3ページデータロード内部リード1後

	書き込み後のメモリセルのデータ								
	0	1	2	3	4	5	6	7	
SDC	1	0	0	1	1	0	0	1	外部より入力される書き込み及び読み出されるデータ
DDC	0	0	0	0	0	0	1	1	内部リードにより読み出されるデータ
PDC	0	0	0	0	1	1	1	1	内部リードにより読み出されるデータ

(a)

第3ページデータキャッシュ設定後1

	書き込み後のメモリセルのデータ								
	0	1	2	3	4	5	6		7
SDC	1	1	1	1	1	1	0	0	メモリセルデータ5, 4のベリファイ時の充電に使用
DDC	0	1	1	0	0	1	1	0	メモリセルデータ6のベリファイ時の充電に使用 メモリセルデータ4のベリファイで強制的にVSSする
PDC	1	1	1	1	0	0	0	0	1：書き込み非選択、0：書き込み

(b)

【図 40】

第3ページデーターキャッシュ設定後2

	書込み後のメモリセルのデータ							
	0	1	2	3	4	5	6	7
SDC	1	1	0	0	0	0	0	0
DDC	0	1	1	0	0	1	1	0
PDC	1	0	1	1	1	1	1	1
1: 書込み非選択、0: 書込み								

(a)

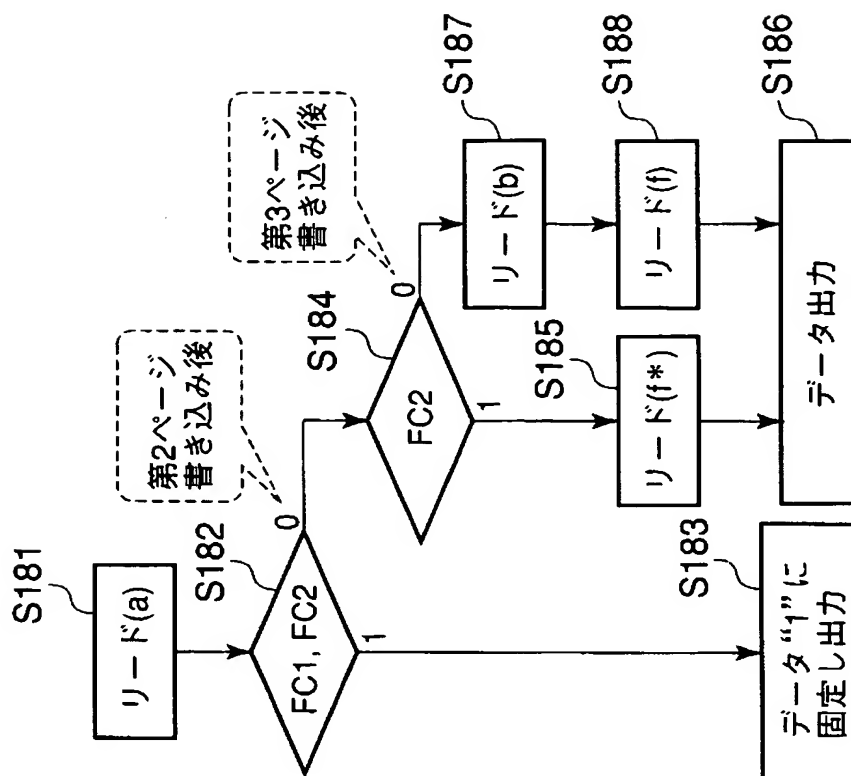
第3ページデーターキャッシュ設定後3

	書込み後のメモリセルのデータ							
	0	1	2	3	4	5	6	7
SDC	1	1	0	0	0	0	0	0
DDC	0	1	1	0	0	1	1	0
PDC	1	0	0	0	1	1	1	1
メモリセルデータ1のベリファイ時の充電に使用								
メモリセルデータ2のベリファイ時の充電に使用								
1: 書込み非選択、0: 書込み								

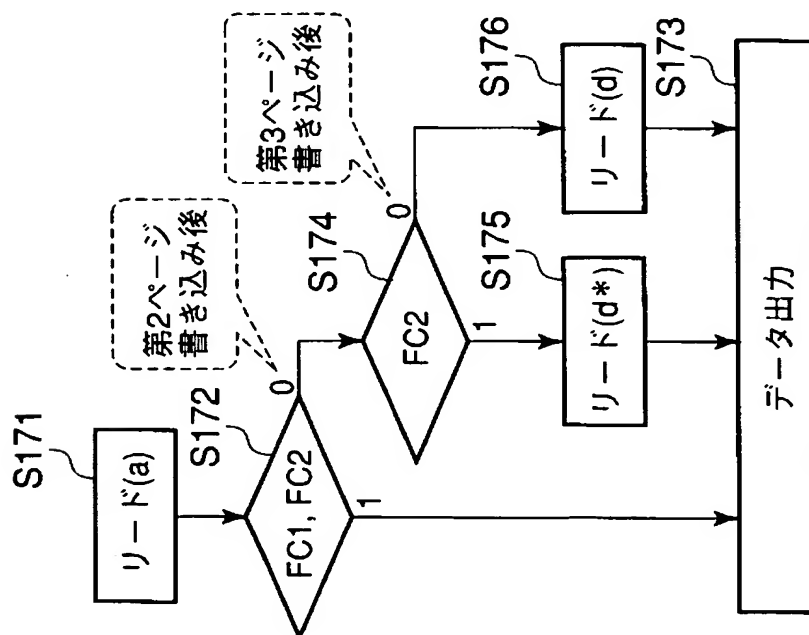
(b)

【図41】

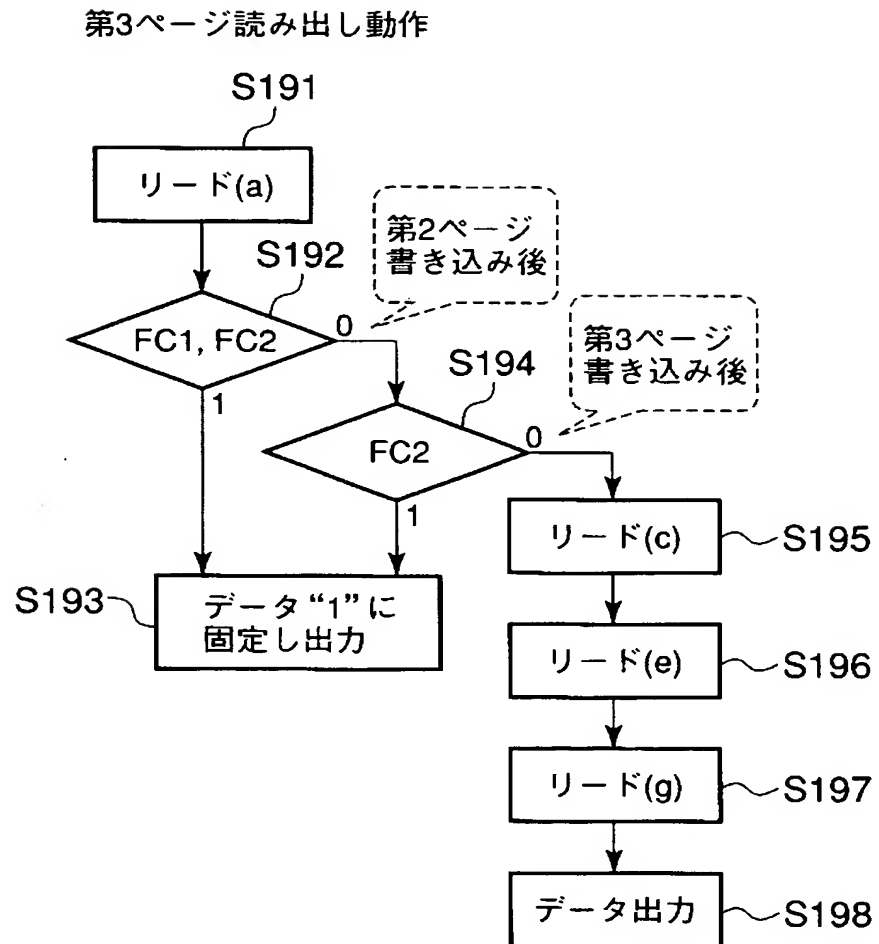
(b) 第2ページ読み出し動作



(a) 第1ページ読み出し動作



【図 4 2】



【図 43】

データロード、内部リード後

	書込み後のメモリセルのデータ				
	0	1	2	3	
SDC	1	0	0	1	外部より入力される書込み及び読み出されるデータ
PDC	0	0	1	1	内部リードにより読み出されるデータ

(a)

データキャッシュ設定後

	書込み後のメモリセルのデータ				
	0	1	2	3	
SDC	1	1	0	0	メモリセルデータ1のベリファイ時の充電に使用
DDC	0	0	1	0	メモリセルデータ2のベリファイ時の充電に使用
PDC	1	0	0	0	1: 書込み非選択、0: 書込み

(b)

【図 4 4】

ベリファイ(a^{**})
SDCのデータでビット線充電
WL=a^{**}の電位で、ビット線放電

	書込み後のメモリセルのデータ				
	0	1	2	3	
SDC	1	1	0	0	メモリセルデータ1のベリファイ時の充電に使用
DDC	0	0	1	0	メモリセルデータ2のベリファイ時の充電に使用
PDC	1	0	0	0	1: 書込み非選択、0: 書込み

(a)

TDCを一旦V_{dd}に設定しBLCAMP=Hで、Bit線電位をTDCに転送。
VREG=H、REG=Hとしてダイナミックデータが“1”の場合TDCを“1”とする。
PDCデータをDDCへ転送、TDCのデータをPDCへ転送。

	書込み後のメモリセルのデータ				
	0	1	2	3	
SDC	1	1	0	0	メモリセルデータ1のベリファイ時の充電に使用
DDC	1	0	0	0	1: 書込み非選択、0: 書込み
PDC	0	0/1	1	0	メモリセルデータ2のベリファイ時の充電に使用 メモリセルデータ1へのセルがa ^{**} を超える→1

(b)

【図 45】

WL=a' の電位で、ビット線放電、TDCを一旦Vddに設定しBLCLAMP=HでBit線電位をTDCに転送。
VREG=H、REG=Hとしてダイナミックデータが“1”の場合TDCを“1”とする。
PDCデータをDDCへ転送、TDCのデータをPDCへ転送。

	書き込み後のメモリセルのデータ				
	0	1pass	1fail	2	3
SDC	1	1	1	0	0
	メモリセルデーター1のベリファイ時の充電に使用				
DDC	0	1	0/1	1	0
	メモリセルデーター2のベリファイ時の充電に使用 メモリセルデーター1へのセルがa'を超える→1				
PDC	1	1	0	0	0
	1:書き込み非選択、0:書き込み				

(a)

ベリファイ(b')
DDCのデーターでビット線充電、WL=b'の電位、ビット線放電、放電中にDDCをTDCに、PDCをDDCに、
TDCをPDCに転送する。TDCを一旦Vddに設定しBLCLAMP=Hで、Bit線電位をTDCに転送。
VREG=H、REG=Hとしてダイナミックデータが“1”の場合TDCを“1”にする。
PDCのデーターをDDCへ転送、TDCのデータをPDCへ転送

	書き込み後のメモリセルのデータ				
	0	1	2fail	2pass	3
SDC	1	1	0	0	0
	メモリセルデーター1のベリファイ時の充電に使用				
DDC	0	0/1	1	1	0
	メモリセルデーター2のベリファイ時の充電に使用 メモリセルデーター1へのセルがa'を超える→1				
PDC	1	0	0	1	0
	1:書き込み非選択、0:書き込み				

(b)

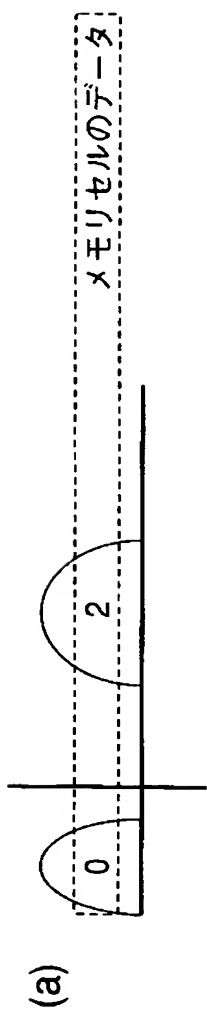
【図 46】

ベリファイ(c)
ビット線充電
WL=c'の電位で、ビット線放電
放電中にDDCをTDCに、PDCをDDCに、TDCをPDCに転送する。
TDCを一旦Vddに設定しBLCAMP=Hで、Bit線電位をTDCに転送。
VREG=H、REG=Hとしてダイナミックデータが“1”の場合TDCを“1”にする。
PDCのデータをDDCへ転送、TDCのデータをPDCへ転送

	書込み後のメモリセルのデータ				
	0	1	2	3fail	3pass
SDC	1	1	0	0	0
DDC	0	0/1	1	0	0
PDC	1	0	0	0	1
					メモリセルデータ1のベリファイ時の充電に使用
					メモリセルデータ2のベリファイ時の充電に使用 メモリセルデータ1へのセルがa*を超える→1
					1:書込み非選択、0:書込み

【図 47】

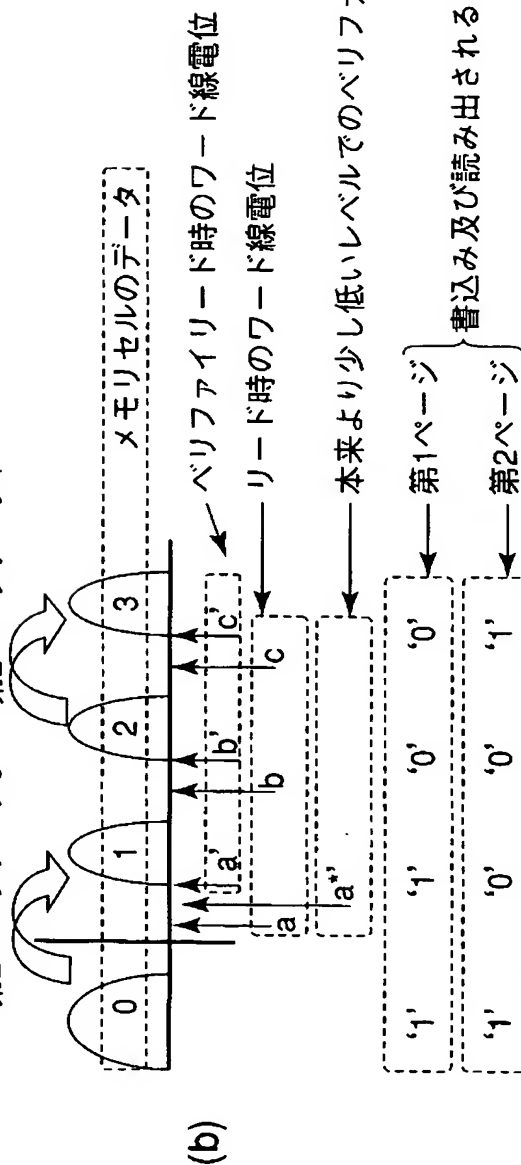
第2ページ書き込み前



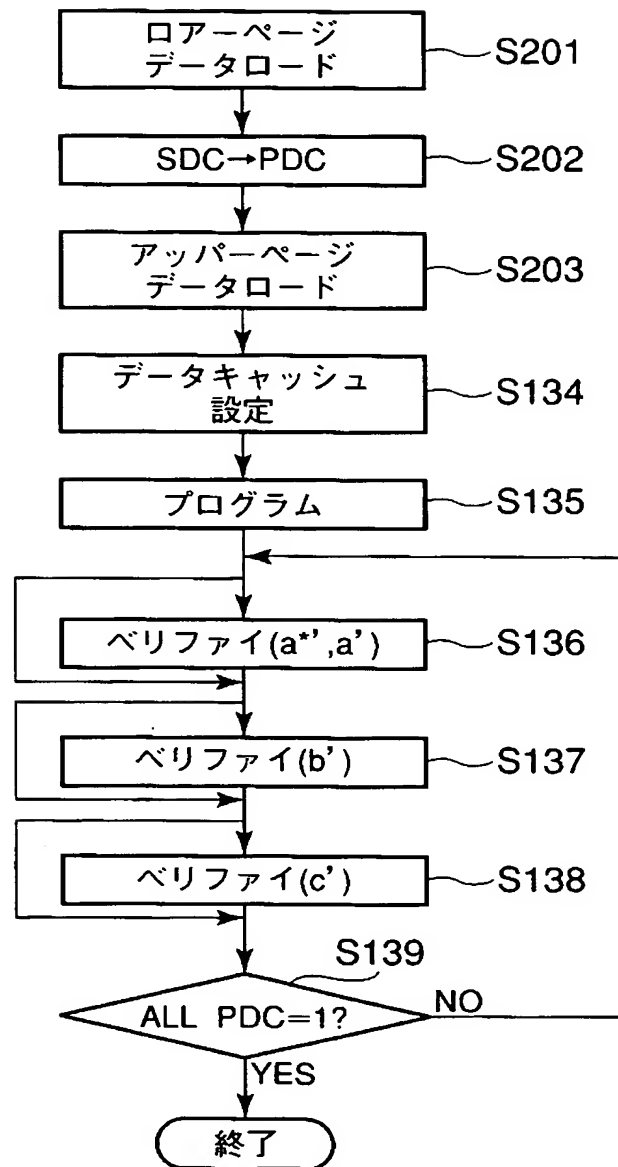
第2ページ書き込み後

第1ページデータ1で 第1ページデータ0で

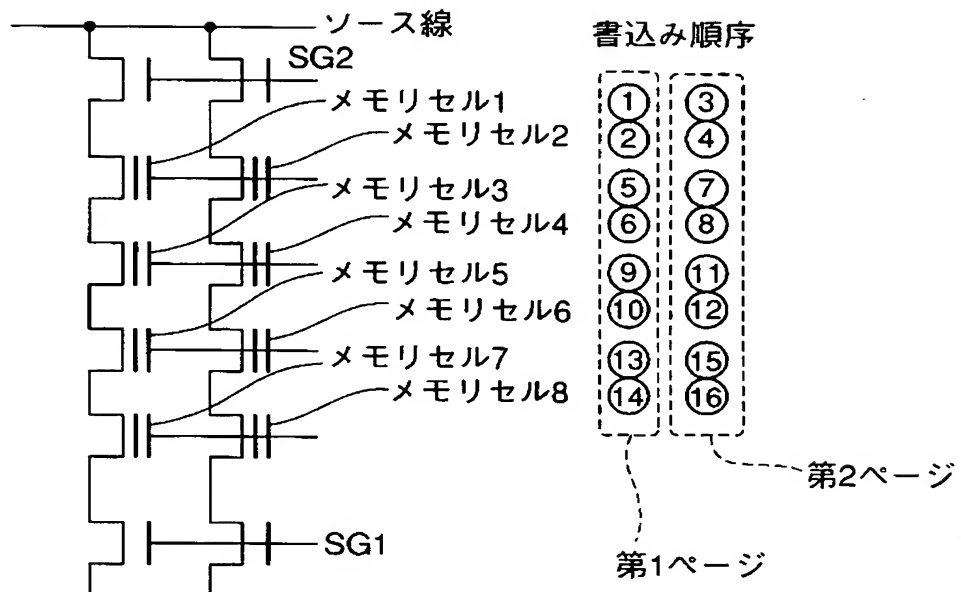
第2ページデータ0 第2ページデータ1



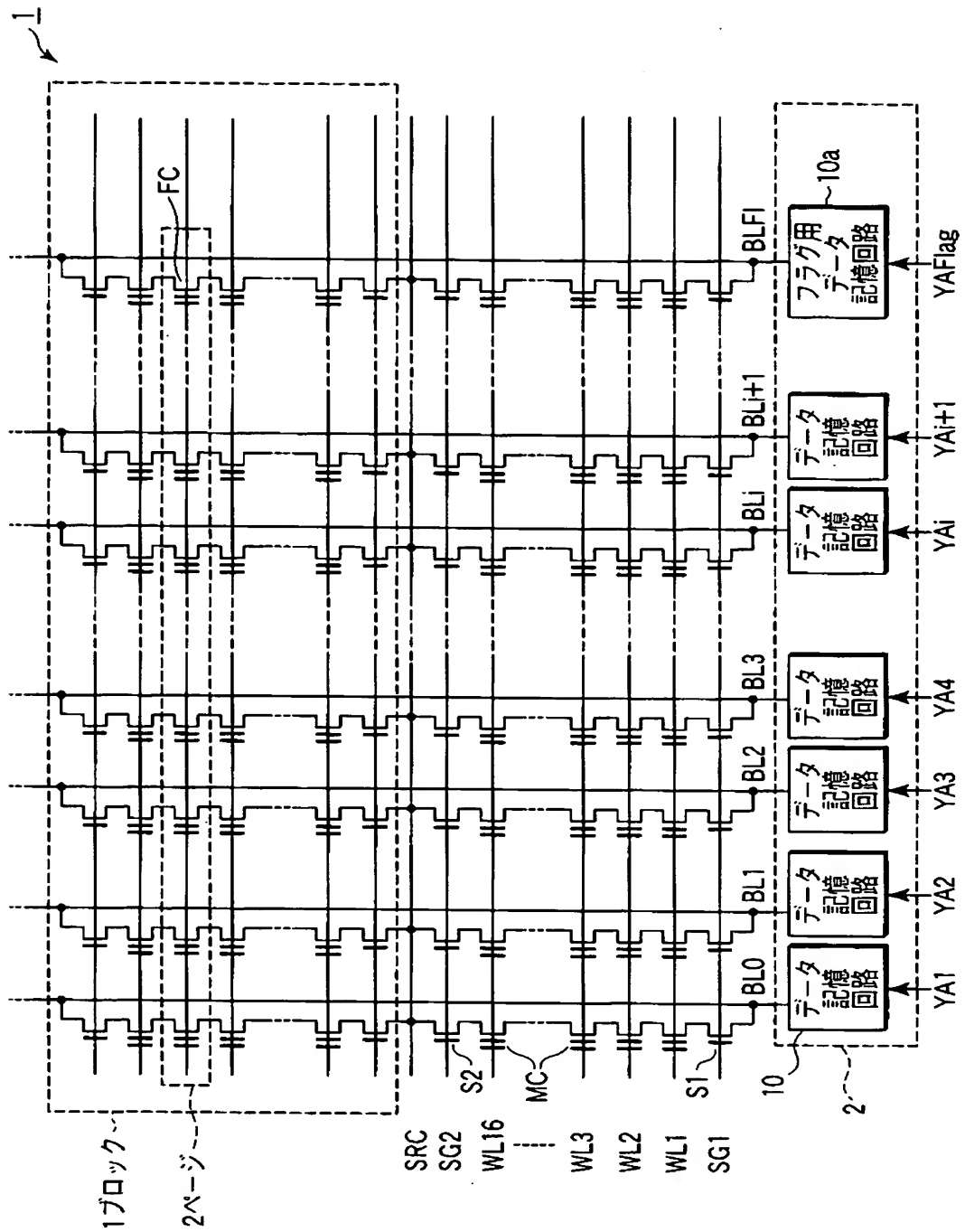
【図 48】



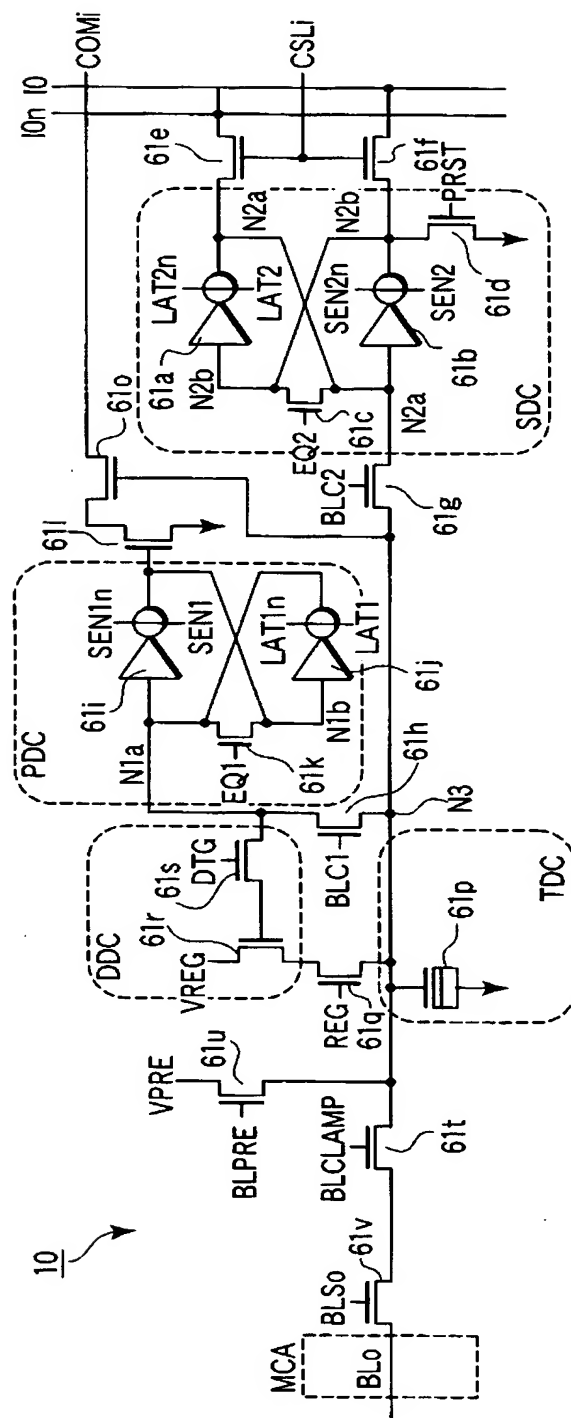
【図 49】



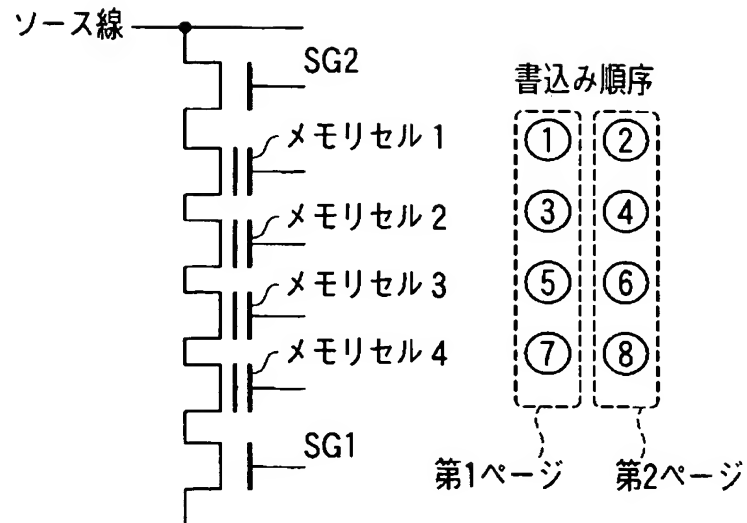
【図 50】



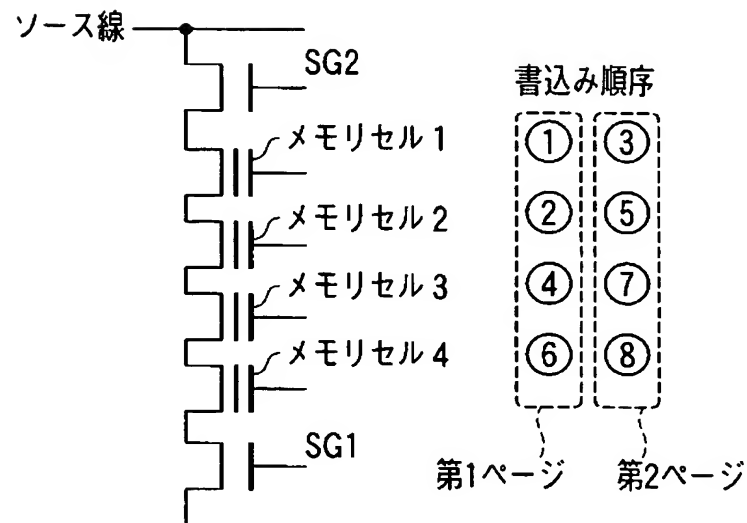
【図 51】



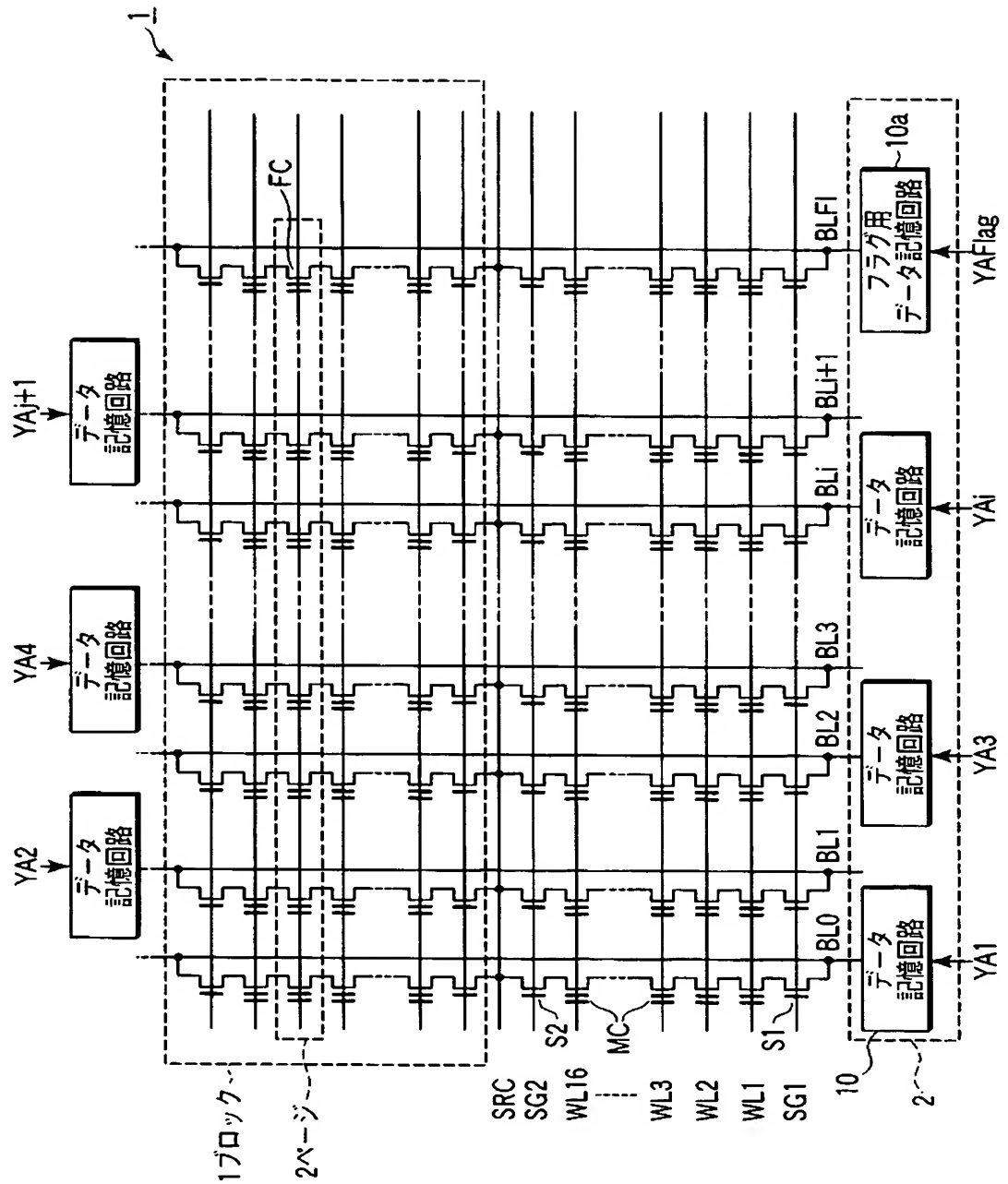
【図 5 2】



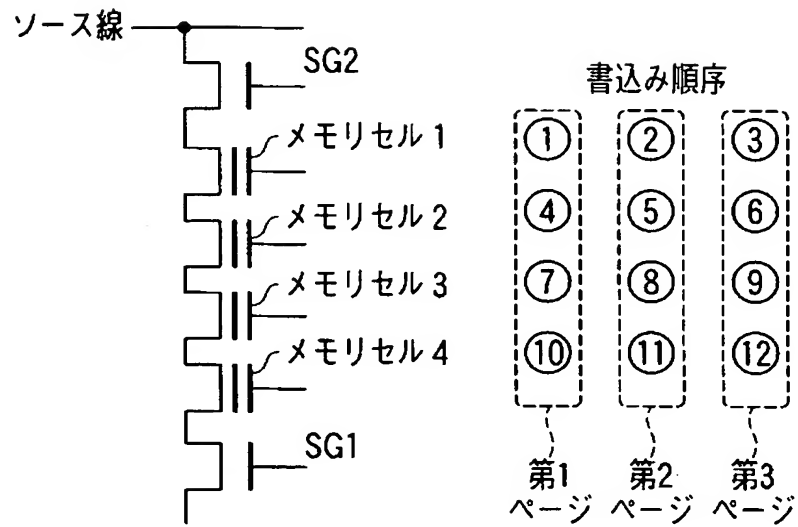
【図 5 3】



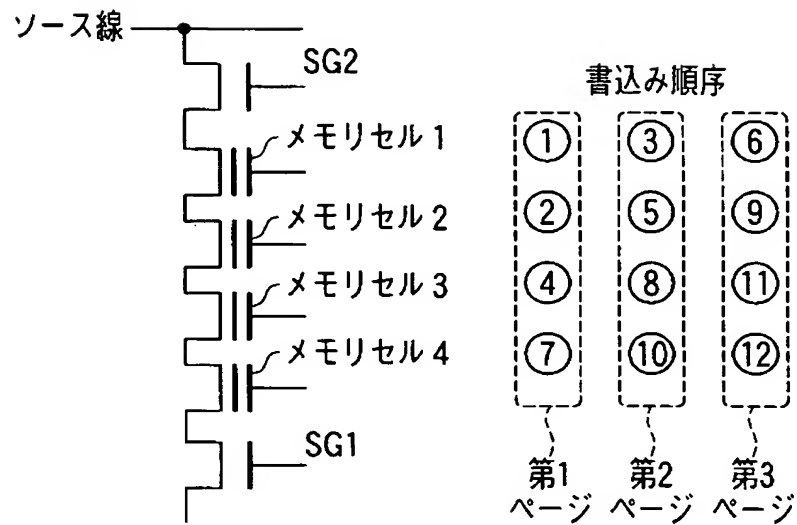
【図 54】



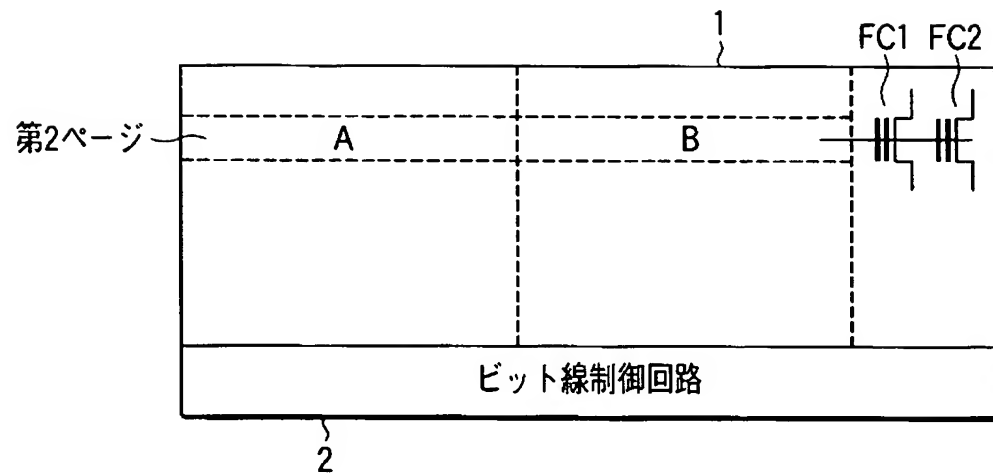
【図 5 5】



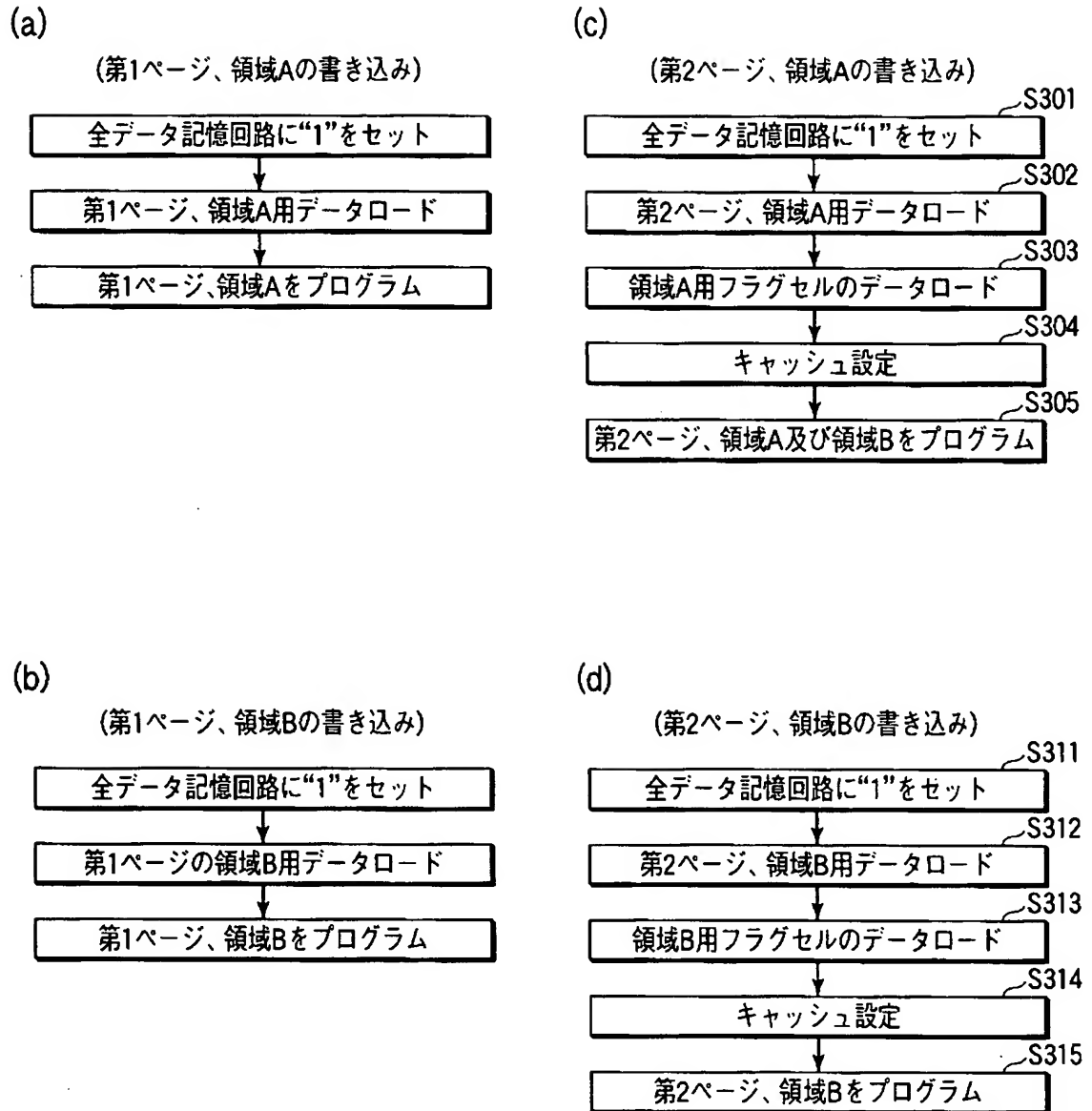
【図 5 6】



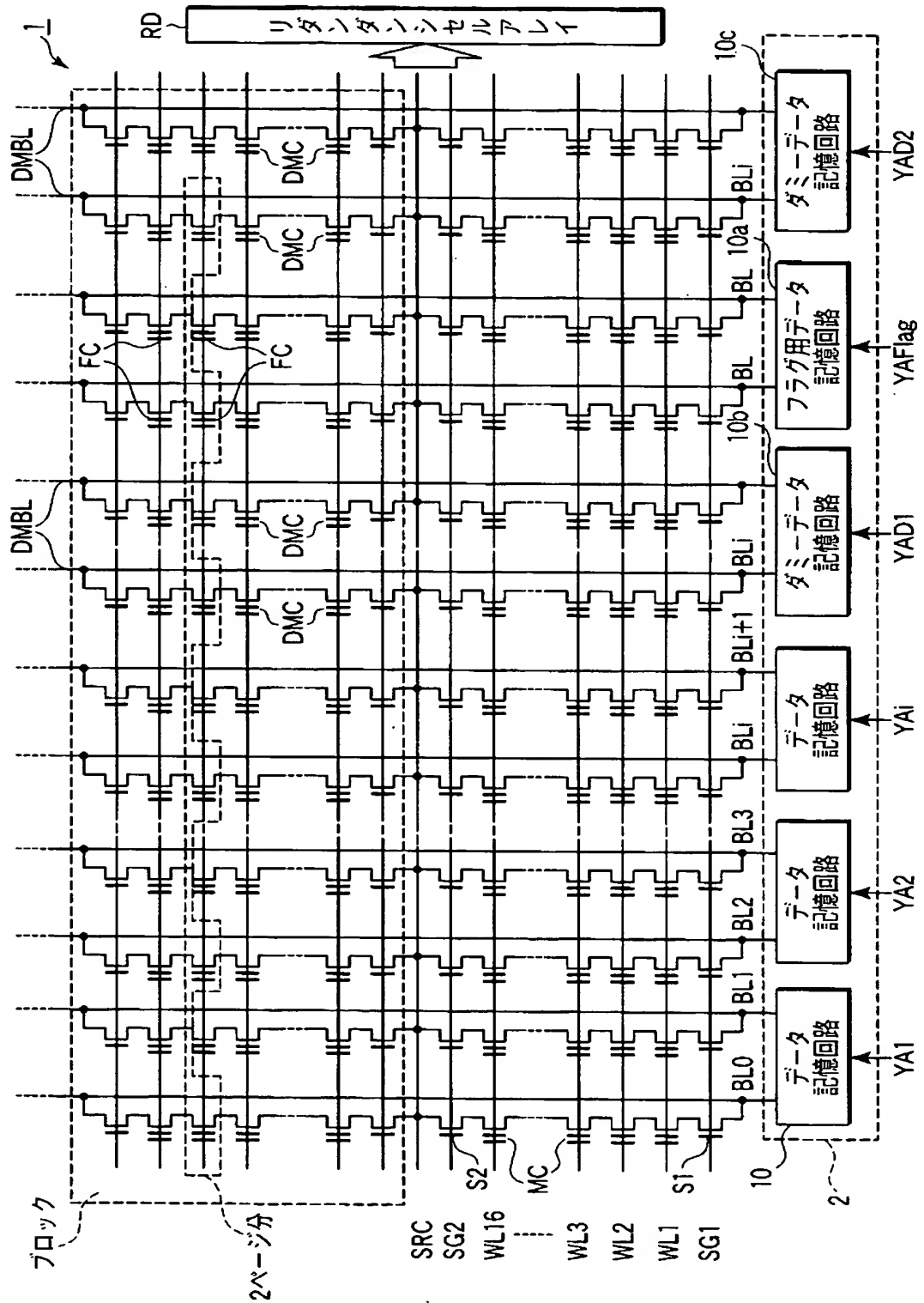
【図 57】



【図 58】

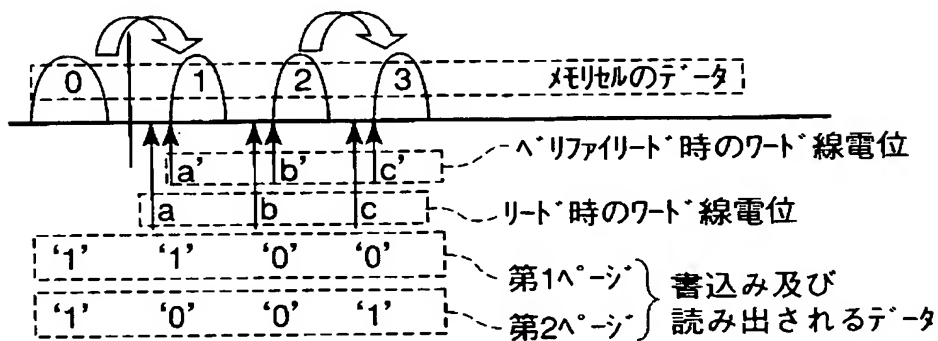


【図59】

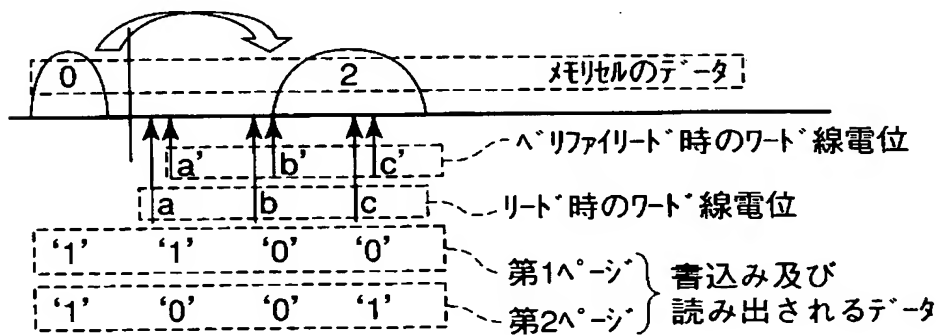


【図 60】

(a) 第2ページ書き込み後 メモリの閾値分布

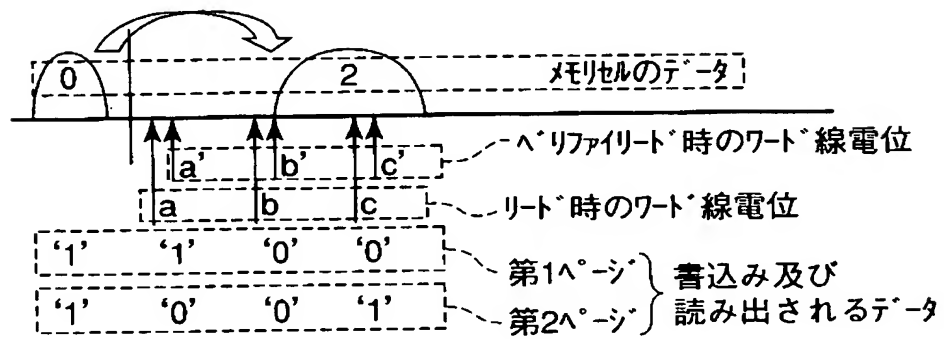


(b) 第2ページ書き込み後 フラグセルの閾値分布

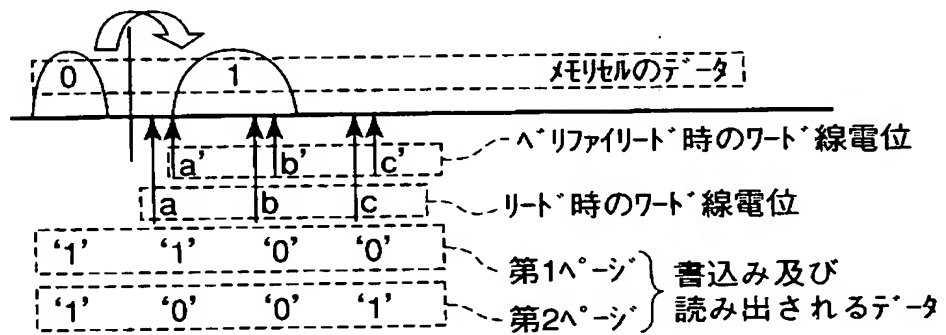


【図 61】

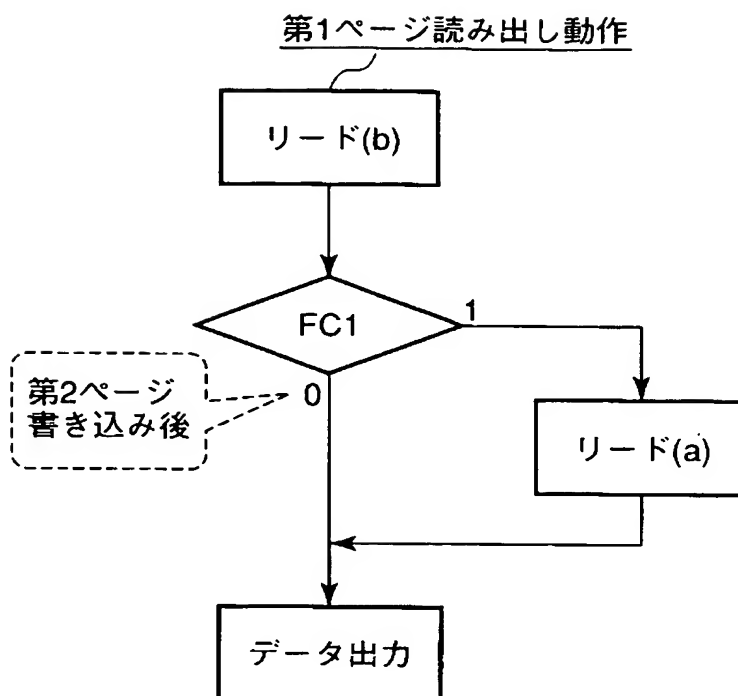
(a) 第2ページ書き込み後 第1のフラグセルの閾値分布



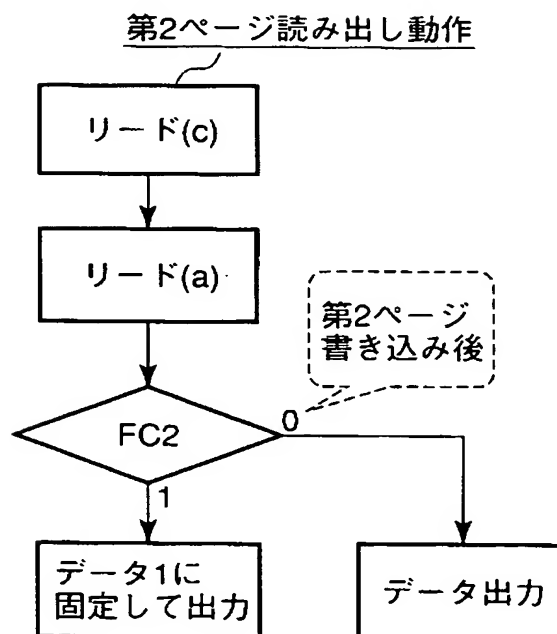
(b) 第2ページ書き込み後 第2のフラグセルの閾値分布



【図 6 2】



【図 6 3】



【図 64】

メモリセルアレイ	BL E	0	ダミーセル
	BL E	0	第2のフラグセル
	BL E	0	第1のフラグセル
	BL E	0	第2のフラグセル
	BL E	0	第1のフラグセル
	BL E	0	第2のフラグセル
	BL E	0	第1のフラグセル
	BL E	0	ダミーセル
	BL E	0	ダミーセル
	BL E	0	第1のフラグセル
	BL E	0	第2のフラグセル
	BL E	0	第1のフラグセル
	BL E	0	第2のフラグセル
	BL E	0	第1のフラグセル
	BL E	0	第2のフラグセル

【書類名】 要約書

【要約】

【課題】 隣接セルのデータにより、閾値電圧が変動していた。

【解決手段】 i ビットのデータが記憶されているメモリセル 1 に対して、次のデータを記憶する前に、隣接するメモリセル 2 に i ビット以下のデータを事前に書き込む。この i ビット以下のデータの書き込みは、本来の閾値電圧（ i ビットのデータを記憶する際の実際の閾値電圧）より低くする。隣接するメモリセル 2 の書き込み後、メモリセル 1 の閾値電圧を上げる書き込みを行なう。閾値電圧を上げる書き込み前後で、 i ビットのデータが本来の閾値電圧であるのか、それより低い閾値電圧であるのか分からなくなってしまう。これを区別するため、フラグ用のメモリセル（フラグセル）を用意し、このフラグセルのデータに応じた読み出し動作をする。

【選択図】 図 7

認定・付加情報

特許出願の番号	特願 2003-402161
受付番号	50301981156
書類名	特許願
担当官	第五担当上席 0094
作成日	平成 15 年 12 月 4 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000003078
【住所又は居所】	東京都港区芝浦一丁目 1 番 1 号
【氏名又は名称】	株式会社東芝

【代理人】

申請人	
【識別番号】	100058479
【住所又は居所】	東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮特許 綜合法律事務所内
【氏名又は名称】	鈴江 武彦

【選任した代理人】

【識別番号】	100091351
【住所又は居所】	東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮特許 綜合法律事務所内
【氏名又は名称】	河野 哲

【選任した代理人】

【識別番号】	100088683
【住所又は居所】	東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮特許 綜合法律事務所内
【氏名又は名称】	中村 誠

【選任した代理人】

【識別番号】	100108855
【住所又は居所】	東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮特許 綜合法律事務所内
【氏名又は名称】	蔵田 昌俊

【選任した代理人】

【識別番号】	100084618
【住所又は居所】	東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮特許 綜合法律事務所内
【氏名又は名称】	村松 貞男

【選任した代理人】

【識別番号】

100092196

【住所又は居所】

東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮特許
綜合法律事務所内

【氏名又は名称】

橋本 良郎

特願 2 0 0 3 - 4 0 2 1 6 1

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝